

PIC64GX1000 製品概要

64 ビット RISC-V マイクロプロセッサ



はじめに

PIC64GX マイクロプロセッサ(MPU)は 64 ビット Linux®オペレーティング システム(OS)対応のプロセッサであり、RISC-V®命令セット アーキテクチャ(ISA)に基づく革新的なミッドレンジ組み込みコンピューティング プラットフォームを提供します。

PIC64GX MPU マイクロアーキテクチャの実装はシンプルな 5 段のシングルイシュー/インオーダー パイプラインであり、一般的なアウトオブオーダー マシンで原理的に発生しうる Meltdown および Spectre 脆弱性とは無縁です。PIC64GX は 5 個の RISC-V コアを有し、それらのコアは全てメモリ サブシステムとコヒーレントに保たれるため、決定論的リアルタイム システムと Linux を 1 つのマルチコア プロセッサ クラスタ上で用途に合わせて多様に組み合わせる事ができます。内蔵セキュアブート、Linux およびリアルタイム モード、大容量で柔軟な L2 メモリ サブシステム、豊富な内蔵周辺モジュールを備えた PIC64GX MPU は、セキュアで電力効率の高い組み込みコンピューティング プラットフォームの開発に新たな選択肢を提供します。

決定論的な非対称型マルチ プロセッシング(AMP) Linux アプリケーション

セーフティ クリティカルなシステム制御やセキュリティ アプリケーションは、リアルタイム システムで必要とされる決定論的処理時間性能を持たねばなりません。標準的な対称型マルチ プロセッシング(SMP)実装は高機能オペレーティング システムの柔軟性を提供可能ですが、決定論的性能を要求するリアルタイム システムの運用には全く適しません。PIC64GX MPU はマルチコア Linux OS 対応プロセッサを備えています。このプロセッサはメモリ サブシステムとコヒーレントに保たれるため、決定論的リアルタイム システムと Linux OS を 1 つのマルチコア CPU クラスタ上で用途に合わせて多様に組み合わせる事ができます。PIC64GX MPU を使う事で、高性能かつハードリアルタイムなシステムを構築できます。

特長

PIC64GX1000 ファミリの MPU は以下の機能をサポートします。

- リアルタイム サポートを備えた Application Compute Complex
 - PIC64GX1000 ファミリの MPU はマルチコア 64 ビット RISC-V 処理を提供します。コア コンプレックスの主な特長は以下の通りです。
 - 4x U54 64 ビット RISC-V CPU コア
 - AMP(非対称型マルチ プロセッシング)と決定論的レイテンシによる Linux 対応
 - E51 モニタプロセッサとの連動による Linux と RTOS/ベアメタルの共存
 - 5 段のシングルイシュー/インオーダー パイプライン
 - 最高 600 MHz で動作
 - 物理メモリ保護(PMP)ユニット
 - メモリ管理ユニット(MMU)
 - SECDED (1 ビットエラー訂正/2 ビットエラー検出)対応の L1 メモリ サブシステム
 - 32 KB/8 ウェイ命令キャッシュ(オプションにて 28 KB ITIM (Instruction Tightly Integrated Memory))
 - 32 KB/8 ウェイ データキャッシュ
 - 5K の DMIPS 性能
- モニタプロセッサを内蔵
 - 内蔵モニタプロセッサは 600 MHz で動作する追加の 64 ビット RISC-V CPU コア(E51)です。

- SECDED 対応の 16 KB メモリ サブシステム (2 ウェイ L1 命令キャッシュまたは ITIM として構成可能)
- 8 KB の DTIM (Data Tightly Integrated Memory)
- PMP ユニット
- ビデオシステム
 - PIC64GX1000 MPU は MIPI CSI-2[®]、HDMI[®] 1.4、ビデオ パイプラインを内蔵しています。
 - 2 レーンの MIPI[®] CSI-2 (1 Gbps)によるカメラおよびセンサとの接続
 - MIPI CSI-2 カメラ インターフェイス向けの専用 I²C リセット/スタンバイ信号
 - ラインドライバ向けの専用 I²C および HPD 信号による HDMI 1.4 出力
 - DeBayer、自動ホワイトバランス、色補正機能を備えたビデオ パイプライン
- メモリ インターフェイス
 - DDR インターフェイス コントローラ(DDR4-1333 または LPDDR4-1333 をサポート)
 - DDR インターフェイスあたり最大 32 Gb
- 内蔵メモリ
 - スクラッチパッド メモリ向け 2 MB 組み込み SRAM
 - ブートフラッシュ向け 128 KB ユーザ不揮発性メモリ(NVM)
 - ユーザデータおよびキーストレージ向け 56 KB セキュア NVM
 - コプロセッサ/アクセラレータ インターフェイス
 - PCIe[®] Gen 2 ルートポート: x4 (FCV パッケージ)または x1 (FCS パッケージ)
 - ペリフェラル インターフェイス
 - 2x SPI、5x マルチモード UART、2x I²C、32x GPIO、2x CAN/MIPI CSI-2/HDMI 1.4/タイマ/ウォッチドッグ
- 多層防御(Defense-in-Depth)セキュリティ
 - セキュアブートとプラットフォームルートオブトラスト(信頼の基点)をサポートする専用の Secure Enclave
 - AES、SHA、HMAC、ECDSA、RSA、DSA、DRBG をフルサポート
 - 広範なタンパ検知/対応能力

目次

はじめに	1
特長	1
1. 概要	5
2. 製品ファミリの概要	6
3. プロセッサ システム	7
3.1. E51 RISC-V モニタコア	7
3.2. U54 RISC-V アプリケーション コア	9
4. デバッグ	12
4.1. CPU デバッグ	12
5. 割り込み	13
6. メモリ サブシステム	14
6.1. L2 メモリ サブシステム	14
6.2. DDR メモリ コントローラ	14
6.3. プロセッサの相互接続	15
7. 内蔵周辺モジュール	16
7.1. Gigabit Ethernet MAC	16
7.2. PHY インターフェイス	16
7.3. MMC 5.1/SD/SDIO/eMMC	17
7.4. USB 2.0 OTG	18
7.5. ユーザ暗号コア	18
7.6. CAN (Controller Area Network)	19
7.7. QSPI XIP コントローラ	19
7.8. SPI (Serial Peripheral Interface)	20
7.9. マルチモード UART	20
7.10. リアルタイム カウンタ	21
7.11. ウォッチドッグ タイマ	21
7.12. タイマ	21
7.13. 周辺モジュール用メモリの SECDED レポートとエラー注入	21
7.14. DMA コントローラ	22
8. ブートプロセス	23
9. PCI Express	24
9.1. PCI Express の特長	24
10. ツール	25
11. PolarFire SoC との互換性	26
12. 改訂履歴	27
Microchip 社の情報	28
Microchip 社のウェブサイト	28

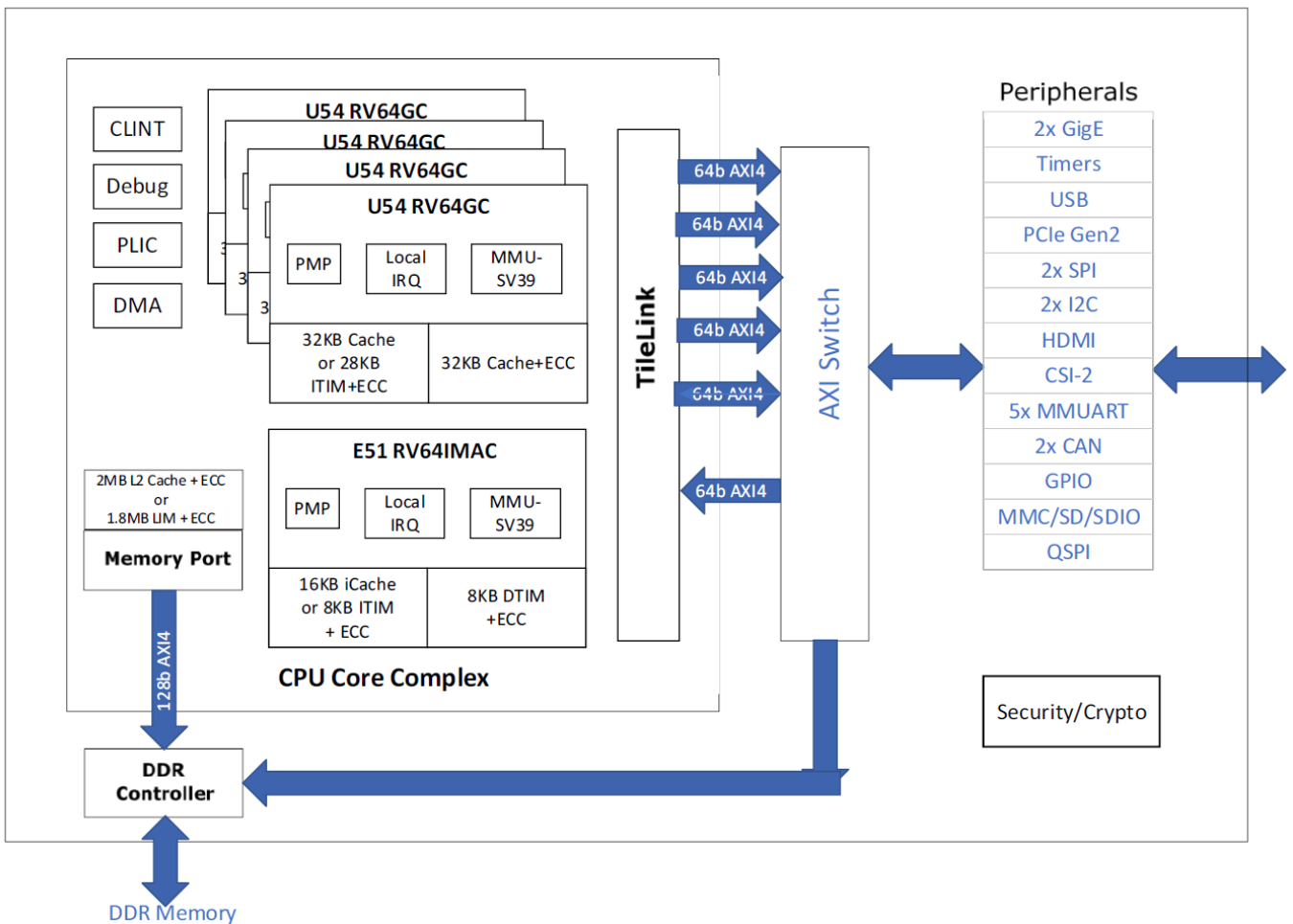
製品変更通知サービス.....	28
カスタマサポート.....	28
Microchip 社のデバイスコード保護機能.....	28
法律上の注意点.....	28
商標.....	29
品質管理システム.....	30
各国の営業所とサービス.....	31

1. 概要

PIC64GX1000 は電力効率の高い 64 ビット Linux 対応プロセッサであり、RISC-V ISA に基づく革新的なミッドレンジ組み込みコンピューティングプラットフォームを提供します。

RISC-V CPU マイクロアーキテクチャの実装はシンプルな 5 段のシングルイシュー/インオーダー パイプラインであり、一般的なアウトオブオーダー マシンで見られる Meltdown および Spectre 脆弱性とは無縁です。PIC64GX1000 は 5 個の RISC-V コアを備え、それらのコアはメモリ サブシステムとコヒーレントに保たれるため、決定論的リアルタイム システムと Linux を 1 つのマルチコア プロセッサ クラスタ上で用途に合わせて多様に組み合わせる事ができます。内蔵セキュアブート、革新的な Linux およびリアルタイム モード、大容量で柔軟な L2 メモリ サブシステム、豊富な内蔵周辺モジュールを備えた PIC64GX1000 MPU は、セキュアで高電力効率の組み込みコンピューティングプラットフォームの開発に新たな選択肢を提供します。

図 1-1. PIC64GX1000 の詳細ブロック図



2. 製品ファミリーの概要

PIC64GX1000 はピン配置、I/O 数、機能が異なる 2 種類のパッケージで提供されます。また、製品番号に基づいて各種の温度レンジ対応デバイスが入手可能です。

表 2-1. 製品ファミリー一覧

機能	PIC64GX1000-V/FCS	PIC64GX1000-V/FCV
U54 RISC-V アプリケーション コア	4	4
U51 RISC-V モニタコア	1	1
PCIe Gen2 ホスト	X1	X4
HDMI	1	1
MIPI CSI-2	X2	X2
DDR データバス	16	32
Ethernet MAC	2	2
耐 DPA データ セキュリティ	あり	あり
USB 2.0 OTG	1	1
SD/MMC	1	1
CAN 2.0 A/B	2	2
QSPI	4ch	4ch
SPI	2	2
I2C	2	2
MMUART	5	5
タイプ/サイズ/ピッチ(商用/産業用)	I/O 総数	
FCSG325 (11 mm x11 mm、0.5 mm)	200	N/A
FCVG484 (19 mm x 19 mm、0.8 mm)	N/A	244

3. プロセッサ システム

以下では、プロセッサ システムについて説明します。

3.1 E51 RISC-V モニタコア

表 3-1 に E51 の機能を示します。

表 3-1. E51 RISC-V モニタコアの機能

機能	概要
ISA	RV64IMAC
iCache/ITIM	16 KB 2 ウェイ セットアソシアティブ/8 KB ITIM
DTIM	8 KB
ECC サポート	iCache および DTIM での SECDED
モード	Machine、User

通常、E51 はシステム内で以下の機能を実行するために使われます。

- ブートローダ (U54 コア上のオペレーティング システムのブート)
- ベアメタル ユーザ アプリケーション
- U54 コア上のユーザ アプリケーションの監視

Note: Load-Reserved および Store-Conditional アトミック命令(lr、sc)は E51 プロセッサコア上でサポートされません。

3.1.1 E51 命令フェッチユニット

E51 命令フェッチユニットは、64 バイト キャッシュラインをサポートする 2 ウェイ/16 KB 命令キャッシュで構成されます。アクセス レイテンシは 1 クロックサイクルです。FENCE.I 命令により、メモリへの書き込みを命令フェッチ ストリームに同期させる事ができます。分岐予測器は、分岐またはジャンプ先を予測する分岐ターゲット バッファ(BTB)、条件分岐の方向を予測する分岐履歴テーブル(BHT)、処理のリターン先を予測するリターンアドレス スタック(RAS)で構成されます。BTB は 40 個のエントリを保持するよう設定されます。RAS は 2 個のエントリを保持するよう設定されます。BHT は、7 ビットのグローバル履歴による gshare 予測スキームを使って 128 個の 2 ビット飽和カウンタのアレイにアクセスします。正しく予測された制御フロー命令がペナルティを生じないように、分岐予測器は 1 サイクルのレイテンシ性能を有します。決定論的システムを作成するために、分岐予測器はデバイス設定中に Off にできます。

3.1.2 E51 I キャッシュ再構成

命令キャッシュの一部は、メモリ内の固定されたアドレスレンジを占有する ITIM (Instruction Tightly Integrated Memory)内へと再構成できます。ITIM は、高性能で予測可能な命令の配信を可能にします。ITIM からの命令のフェッチは命令キャッシュ ヒットと同等に高速であり、キャッシュミスが発生する可能性はありません。ITIM はデータも保持できますが、ITIM に対するロード/ストアは DTIM に対するロード/ストアほど高性能ではありません。命令キャッシュは、キャッシュライン(64 バイト)単位で 1 つだけを除いて全てのウェイを ITIM として構成できます。1 つのキャッシュ ウェイは命令キャッシュとして残しておく必要があります。ITIM は、単純にそこへストアする事により割り当てられます。ITIM メモリマップの n 番目のバイトに対するストアにより、命令キャッシュの最初の n+1 バイトが ITIM として割り当てられ、次のキャッシュラインまで切り上げされます。ITIM 領域の後の最初のバイトに 0 をストアする事により、ITIM は割り当てが解除されます。割り当てが解除された ITIM 空間は、自動的に命令キャッシュへ戻されます。決定論的であるためには、ソフトウェアは ITIM の割り当て後に ITIM の内容をクリアする必要があります。ITIM の内容が割り当て解除と再割り当ての間で保存されるかどうかは予測不可能です。通常 ITIM は低レイテンシ要件(ISR 等)向けに使われます。

3.1.3 E51 実行パイプライン

E51 実行ユニットはシングルイシュー/インオーダー パイプラインです。このパイプラインは以下の 5 段で構成されます。

1. 命令フェッチ
2. 命令デコードとレジスタフェッチ
3. 実行
4. データメモリ アクセス
5. レジスタ書き戻し

パイプラインの最大実行レートは 1 クロックサイクルあたり 1 命令です。大部分の命令が 1 命令 1 サイクルのスループットを保てるように、パイプラインにはバイパス機構があります。以下を含む各種例外が存在します。

LD と LW は 2 サイクルの実行時間を持ちます(キャッシュヒットの場合)。

LH、LHU、LB、LBU は 3 サイクルの実行時間を持ちます(キャッシュヒットの場合)。

MUL、MULW、MULH、MULHU、MULHSU、DIV、DIVU、REM、REMU、DIVW、DIVUW、REMW、REMUW はオペランド値に応じて 2~66 サイクルの実行時間を持ちます。

CSR 読み出しは 3 サイクルの実行時間を持ちます。

パイプラインは「書き込み後読み出し」または「書き込み後書き込み」のハザード発生時にのみインターロックします。これ以外ではストールが発生しないように命令がスケジューリングされます。

反復乗算器は、early-out オプションによりサイクルあたり 16 ビットを生成するように設定されます。反復除算器は 3~66 サイクルの遅延と early-out オプションを持ちます。

分岐およびジャンプ命令は、メモリアクセス パイプライン ステージから制御を移転させます。正しく予測された分岐とジャンプはペナルティを生じませんが、予測が外れた場合には 3 サイクルのペナルティが生じます。大部分の CSR 書き込みではパイプライン フラッシュが生じ、5 サイクルのペナルティが生じます。

3.1.4 E51 データメモリ システム

E51 データメモリ システムは 8 KB の DTIM (Data Tightly-Integrated Memory)により構成されます。アクセス レイテンシはフルワードに対し 2 クロックサイクルであり、これより小さいデータサイズに対して 3 クロックサイクルです。不整列ワードアクセスはハードウェア サポートがありません。ソフトウェアによるエミュレーションが必要となりトラップが発生します。ストアはパイプライン化されますが、コミットはデータメモリ システムがアイドルではないサイクルに限定されます。現在ストア パイプライン内にあるアドレスに対するロードは、5 サイクルのペナルティを生じます。

3.1.5 E51 メモリ シングルビットエラー

キャッシュとして使われる E51 L1 メモリでシングルビット エラーが検出された場合、誤りは訂正され、キャッシュラインはフラッシュされてメモリ階層の次のレベル(L2 キャッシュ)へ書き込まれます。ITIM として構成された E51 L1 メモリでシングルビット エラーが検出された場合、誤りは訂正されて ITIM 位置へ書き戻されます。

3.1.6 E51 メモリエラーの訂正

E51 DTIM は SECDED (1 ビットエラー訂正/2 ビットエラー検出)誤り訂正コード(ECC)を実装します。この保護はコードワード(32 ビット)単位で適用されます(コードワードあたり 7 ビットの ECC オーバーヘッドが生じる)。

3.1.7 E51 メモリエラーの通知

ECC イベントは、バスエラー ユニット(BEU)によって特定のコアへ通知されます。BEU は、割り込みをグローバルに(すなわちプラットフォーム レベル割り込みコントローラ(PLIC)に対して)生成するか、ローカルに(すなわち ECC イベントが発生した特定部分に対して)生成するよう設定できます。BEU 割り込みを有効にした場合、ソフトウェアで ECC イベントを監視およびカウントできます。L1 メモリシステムで訂正不可能な ECC エラーを検出するには、BEU 内で割り込みを有効にする必要があります。具体的に言うと、訂正不可能な命令が検出された時にコアの実行を停止させるために、ローカル割り込みを生成するよう BEU を設定する必要があります。

3.1.8 E51 ローカル割り込み

E51 は最大で 48 個のローカル割り込み要因をサポートします。これらは直接コアへ要求されます。E51 コアは、U54 コアと同じ 48 個の割り込み要因を受け付けます。

3.2 U54 RISC-V アプリケーション コア

表 3-2 に U54 アプリケーション コアの機能を示します。

表 3-2. U54 RISC-V アプリケーション コアの機能

機能	概要
ISA	RV64IMAFDC (RV64GC)
命令キャッシュ	32 KB、8 ウェイ
ITIM (Instruction tightly integrated memory)	最大 28 KB
データキャッシュ	32 KB、8 ウェイ
ECC サポート	命令キャッシュ/ITIM とデータキャッシュで 1 ビットエラー訂正/2 ビットエラー検出
仮想メモリサポート	U54 は、Sv39 仮想メモリサポート(39 ビット仮想アドレス空間、38 ビット物理アドレス空間、32 エントリ TLB)を提供します。
特権モード	Machine (M)、Supervisor (S)、User (U)

3.2.1 U54 命令メモリシステム

命令メモリシステムは、専用の 32 KB/8 ウェイのセット アソシアティブ VIPT (Virtually Indexed Physically Tagged)命令キャッシュで構成されます。命令メモリシステム内の全てのブロックへのアクセスレイテンシは 1 クロックサイクルです。命令キャッシュは、プラットフォーム メモリシステムの他の部分とコヒーレンス性はありません FENCE.I 命令を実行する事により、命令メモリへの書き込みを命令フェッチ ストリームに同期させる必要があります。命令キャッシュのラインサイズは 64 バイトであり、キャッシュ ラインフィルは PIC64GX1000 CPU コア コンプレックス外部のバーストアクセスをトリガします。コアは ITIM を除く実行可能アドレスから命令をキャッシュします。非実行可能アドレスからの命令実行が試みられると、同期トラップが発生します。

3.2.2 U43 I キャッシュ再構成

命令キャッシュの一部は、メモリ内の固定されたアドレスレンジを占有する ITIM (Instruction Tightly Integrated Memory)内へと再構成できます。ITIM は、高性能で予測可能な命令の配信を可能にします。ITIM からの命令のフェッチは命令キャッシュ ヒットと同等に高速であり、キャッシュミスが発生する可能性はありません。ITIM はデータも保持できますが、ITIM に対するロード/ストアは DTIM に対するロード/ストアほど高性能ではありません。命令キャッシュは、キャッシュライン(64 バイト)単位で 1 つだけを除いて全てのウェイを ITIM として構成できます。1 つの命令キャッシュ ウェイは命令キャッシュとして残しておく必要があります。ITIM は、単純にそこへストアする事により割り当てられます。ITIM メモリマップの n 番目のバイトに対するストアにより、命令キャッシュの最初の n+1 バイトが ITIM として割り当てられ、次のキャッシュラインまで丸められます。ITIM 領域の後の最初のバイトに 0 をストアする事により、ITIM は割り当てが解除されます。割り当てが解除された ITIM 空間は、自動的に命令キャッシュへ戻されます。決定論的であるためには、ソフトウェアは ITIM の割り当て後に ITIM の内容をクリアする必要があります。ITIM の内容が割り当て解除と再割り当ての間で保存されるかどうかは予測不可能です。

3.2.3 U54 命令フェッチユニット

U54 命令フェッチユニットは、プロセッサコアの性能向上のために分岐予測器ハードウェアを備えています。分岐予測器は、分岐またはジャンプ先を予測する 40 エントリに分岐ターゲット バッファ(BTB)、条件分岐の方向を予測する 128 エントリの履歴テーブル(BHT)、処理のリターン先を予測する 2 エントリのリターンアドレス スタック(RAS)で構成されます。正しく予測された制御フロー命令がペナルティを生じないよう、分岐予測器は 1 サイクルのレイテンシを有します。予測されなかった制御フロー命令は 3 サイクルのペナルティを生じます。決定論的システムを作成するために、分岐予測器はデバイス設定中に Off にできます。U54 は、16 ビット RISC-V 命令向けに RISC-V アーキテクチャに対する標準 Compressed (C) 拡張を実装します。

3.2.4 U54 実行パイプライン

U54 実行ユニットはシングルイシュー/インオーダー パイプラインです。パイプラインは 5 段のステージ (命令フェッチ、命令デコード/レジスタフェッチ、実行、データメモリ アクセス、レジスタ書き戻し) で構成されます。

このパイプラインの最大実行レートは 1 命令/クロックサイクルであり、大部分の命令が 1 命令 1 サイクルのスルーputを保てるようにパイプラインのバイパス機構があります。

以下に示す各種の例外が存在します。

- LW は 2 サイクルの実行時間を持ちます(キャッシュヒットの場合)。
- LH、LHU、LB、LBU は 3 サイクルの実行時間を持ちます(キャッシュヒットの場合)。
- CSR 読み出しは 3 サイクルの実行時間を持ちます。
- MUL、MULH、MULHU、MULHSU は 5 サイクルの実行時間を持ちます。
- DIV、DIVU、REM、REMU はオペランド値に応じて 2~33 サイクルの実行時間を持ちます。

パイプラインは「書き込み後読み出し」または「書き込み後書き込み」のハザード発生時にのみインターロックします。これ以外ではストールが発生しないように命令がスケジューリングされます。

U54 は、整数乗除算のために RISC-V アーキテクチャに対する標準 Multiply (M) 拡張を実装します。U54 は 16 ビット/サイクルのハードウェア乗算器と 4 ビット/サイクルのハードウェア除算器を備えています。

分岐およびジャンプ命令は、メモリアクセス パイプライン ステージから制御を移転させます。正しく予測された分岐とジャンプはペナルティを生じませんが、予測されなかった分岐とジャンプは 3 サイクルのペナルティを生じます。

大部分の CSR 書き込みではパイプラインフラッシュが生じ、5 サイクルのペナルティが生じます。

3.2.5 U54 データメモリ システム

U54 データメモリ システムは、8 ウェイのセット アソシアティブ 32 KB 書き戻しデータキャッシュ(64 バイト キャッシュライン)を備えています。データキャッシュは VIPT (Virtually Indexed Physically Tagged) です。アクセス レイテンシはワードおよびダブルワードに対して 2 クロックサイクルであり、これより小さいデータサイズに対して 3 クロックサイクルです。不整列ワードアクセスはハードウェア サポートがありません。ソフトウェアによるエミュレーションが必要となりトラップが発生します。データキャッシュはディレクトリ ベース キャッシュ コヒーレンシ マネージャ(外側 L2 キャッシュ内)とコヒーレントに保たれます。ストアはパイプライン化されますが、コミットはデータメモリ システムがアイドルではないサイクルに限定されます。現在ストア パイプライン内にあるアドレスに対するロードは、5 サイクルのペナルティを生じます。

3.2.6 U54 アトミック動作

U54 コアは RISC-V 標準 Atomic (A) 拡張を、属性 A が指定されたメモリマップの領域でサポートします。アトミック動作をサポートしないメモリ領域に対するアトミック動作により、U54 コアでアクセス例外が生じます。load-reserved および store-conditional 命令は、キャッシュ領域でのみサポートされます。従って、DTIM を含む非キャッシュ領域ではアクセス例外が生じます。この拡張によって追加される命令の詳細は『*The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Version 2.1*』 [1] を参照してください。

3.2.7 U54 浮動小数点ユニット(FPU)

U54 FPU は、IEEE® 754-2008 浮動小数点規格(32 ビット単精度および 64 ビット倍精度)を完全にハードウェアでサポートします。FPU は完全にパイプライン化された融合積和(Fused Multiply-Add: FMA)ユニット、反復除算/平方根ユニット、マグニチュード コンパレータ、浮動小数点-整数変換ユニットを備えています。これらは全て非正規化数と全ての IEEE 既定値をハードウェアでサポートします。

3.2.8 U54 仮想メモリサポート

U54 は、メモリ管理ユニット(MMU)を使って仮想メモリをサポートします。MMU は、『*RISC-V Instruction Set Manual, Volume II: Privileged Architecture, Version 1.10*』 [2] に記載されている Bare

および Sv39 モードをサポートします。U54 MMU は、38 ビット物理アドレス空間に対してマッピングされた 39 ビット仮想アドレス空間を持ちます。ハードウェア ページテーブル ウォーカーは、アドレス変換キャッシュのリフィルを行います。命令とデータのアドレス変換キャッシュは、どちらもフル アソシアティブであり 32 個のエントリを持ちます。仮想および物理アドレス空間の大きな連続領域に対するアドレス変換オーバーヘッドを低減するため、MMU は 2 MB メガページと 1 GB ギガページをサポートします。U54 は、Sv39 PTE (Page Table Entry)内の Accessed (A)ビットと Dirty (D)ビットを自動的にセットしません。その代わりに、U54 MMU は PTE.A = 0 のページからの読み出しまたは PTE.D = 0 のページへの書き込みに対してページフォルト例外を生成します。

3.2.9 U54 ローカル割り込み

各 U54 は最大で 48 個のローカル割り込み要因をサポートします。これらは直接コアへ要求されます。SO は U51 ピンと共用です。

3.2.10 U54 メモリエラーの訂正

U54 の ITIM と DTIM は SECDEC 誤り訂正コード(ECC)を実装します。この保護はコードワード(32 ビット)単位で適用されます(コードワードあたり 7 ビットの ECC オーバーヘッドが生じる)。

3.2.10.1 U54 メモリ シングルビットエラー

キャッシュとして使われる U54 L1 メモリでシングルビット エラーが検出された場合、誤りは訂正され、キャッシュラインはフラッシュされてメモリ階層の次のレベル(L2 キャッシュ)へ書き込まれます。ITIM として構成された U54 L1 メモリでシングルビット エラーが検出された場合、誤りは訂正され、その ITIM 位置へ書き戻されます。

3.2.10.2 U54 メモリエラーの通知

ECC イベントは、バスエラー ユニット(BEU)によって特定のコアへ通知されます。BEU は、割り込みをグローバルに(すなわちプラットフォーム レベル割り込みコントローラ(PLIC)に対して)生成するか、ローカルに(すなわち ECC イベントが発生した特定部分に対して)生成するよう設定できます。BEU 割り込みを有効にした場合、ソフトウェアで ECC イベントを監視およびカウントできます。L1 メモリシステムで訂正不可能な ECC エラーを検出するには、BEU 内で割り込みを有効にする必要があります。具体的に言うと、訂正不可能な命令が検出された時にコアの実行を停止させるために、ローカル割り込みを生成するよう BEU を設定する必要があります。L1 システムでの訂正不可能な ECC エラーは、HALT_CPU_n 信号として通知されます(n = 0~5、1~5 = U54 アプリケーション コア)。

3.2.11 物理メモリ保護

PIC64GX1000 内の各 CPU は、*RISC-V Instruction Set Manual, Volume II: Privileged Architecture, Version 1.10* に準拠する物理メモリ保護(PMP)ユニットを備えています。PMP ユニットを使うと、指定したメモリ領域に対してメモリアクセス特権(読み、書き、実行)を設定できます。各 PMP は、16 個の領域(最小サイズは 4 バイト)をサポートします。

3.2.11.1 機能説明

PIC64GX1000 は物理メモリ保護(PMP)ユニットを備えており、このユニットを使ってメモリへのアクセスを制限すると共に、プロセス同士を互いから隔離できます。PMP ユニットは 16 個の領域(最小単位は 4 バイト)を備えています。領域のオーバーラップは許容されます。PIC64GX1000 の PMP ユニットは、アーキテクチャ的に定義された pmpcfgX CSR (X = 1~3)を実装します。pmpcfg0 と pmpcfg2 は 16 個の領域をサポートし、pmpcfg1 と pmpcfg3 は実装されますが値は 0 に固定されます。

3.2.11.2 領域ロック

PMP により領域をロックする事ができます。領域をロックした後は、コンフィグレーションおよびアドレス レジスタに対する書き込みは無視されます。PMP エントリのロックは、システムリセットによるみ解除できます。pmpicfg レジスタ内の L ビットをセットする事により領域をロックできます。L ビットは、M モードアクセスに対する R/W/X パーミッションの適用法も示します。L ビットがセットされている場合、R/W/X パーミッションは全ての特権モードに適用されます。L ビットがクリアされている場合、R/W/X パーミッションは U モードに対してのみ適用されます。

4. デバッグ

以下では、デバッグプロセスについて説明します。

4.1 CPU デバッグ

各 CPU は最大 10 個のブレークポイント レジスタを備えます。ブレークポイントは、以下の条件で各 CPU を停止させる事ができます。

- ロード時のアドレス一致
- ストア時のアドレス一致
- 命令フェッチ時のアドレス一致
- User モード時のアドレス一致
- Supervisor モード時のアドレス一致
- Machine モード時のアドレス一致

アドレスが一致した時に例外を生成するか、デバイスをデバッグモードに移行させる事ができます。

4.1.1 トレース

トレースには命令トレース インターフェイス モジュールが含まれます。トレースが有効である場合、各コアにおいて命令が完了またはトラップされた時に以下のプロパティをキャプチャできます。

- 命令のアドレス
- 命令
- 実行中の特権モード
- トラップ/完了のステータス
- 割り込み/例外のステータス
- 例外要因
- 例外データ

4.1.2 AXI バスモニタ

コア コンプレックス内の 2 個の AXI バスモニタにより、実行時に AXI トランザクションを監視できます。AXI バスモニタはデバッグ、診断結果の報告、性能プロファイリング、ベアメタル セキュリティを含む各種のアプリケーション向けに使えます。例えば、AXI モニタは実行時にトラフィックに影響を与える事なく、マスタが読み書きを実行している特定アドレスに対して受動的にフィルタ処理を適用できます。

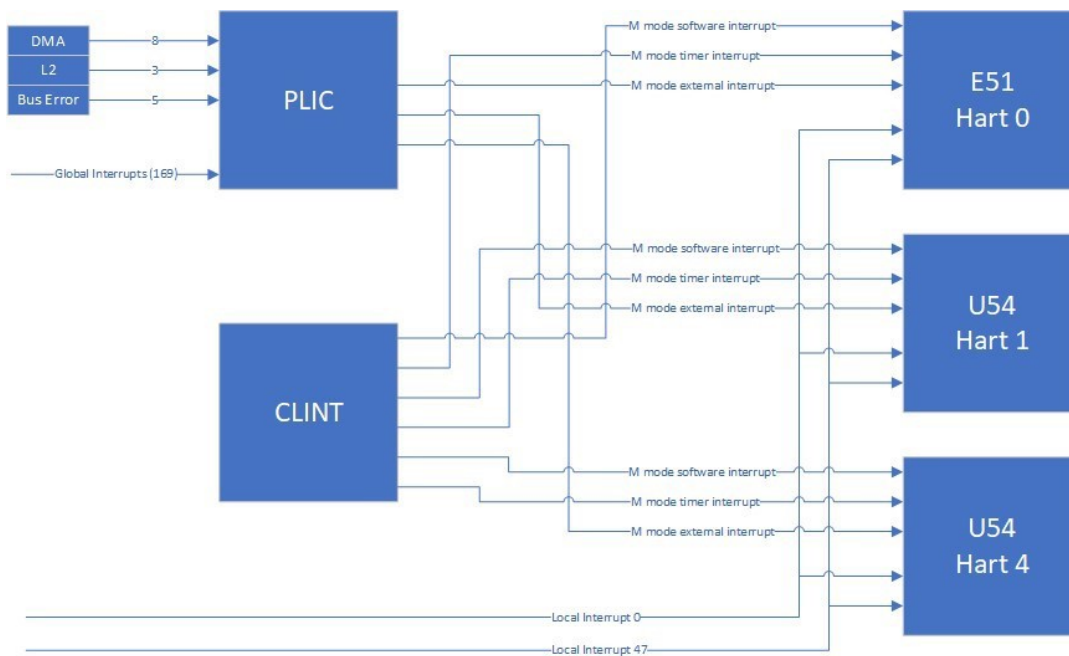
AXI-64 バスモニタは、AXI スイッチのスレーブ側で完全なアドレスとデータのトレースを提供するように設定されます。

AXI-128 バスモニタは、コア コンプレックス L2 インターフェイスを DDR メモリへ接続する AXI4-128 バス上で完全なアドレストレースを提供するよう設定されます。この場合、データトレースはサポートされません。これにより、キャッシュおよび DDR 応答速度の有効性をトレースする事が可能になります。

5. 割り込み

PIC64GX1000 は、ローカル割り込み(ソフトウェアとタイマを含む)とグローバル割り込みをサポートします。ローカル割り込みは、専用の割り込み値を使って個々の hart へ直接伝達されます。これにより、与えられた割り込み要求をどの hart がサービスするのかを決めるための調停は不要となり、割り込みの原因を特定するための追加のメモリアクセスも不要となるため、割り込みレイテンシは減少します。ソフトウェア割り込みとタイマ割り込みは、CLINT (Core Local Interruptor)によって生成されるローカル割り込みです。これに対しグローバル割り込みは、PLIC (Platform-Level Interrupt)を介して伝達されます。PLIC は、外部割り込みを介してシステム内の全ての hart へ割り込みを伝達できます。hart からグローバル割り込みを切り離す事により、PLIC をプラットフォームに合わせてカスタマイズできます。これにより割り込みの数、優先順位付け、割り込み伝達方法を含む各種属性を調整できます。既定値により、全ての割り込みは Machine モードで処理されます。U54 (Supervisor モードをサポート)は、選択した割り込みを Supervisor モードへと割り当てできます。

図 5-1. 割り込みシステム



6. メモリ サブシステム

PIC64GX1000 はユーザコード向けの 128 KB 組み込み不揮発性メモリ(eNVM)、柔軟な L2 メモリ サブシステム、DDR メモリ コントローラを内蔵しています。

6.1 L2 メモリ サブシステム

PIC64GX1000 レベル 2 キャッシュ コントローラは、コアコンプレックス内のマスタにメモリの高速コピーへのアクセスを提供します。レベル 2 キャッシュ コントローラは、ディレクトリ ベースのコヒーレンシ マネージャとしても機能します。レベル 2 キャッシュ コントローラは非常に柔軟性が高く、レベル 2 キャッシュ機能に加えて各種の機能をサポートします。これには L2 キャッシュ RAM 内の無効キャッシュ ウェイへのメモリマップト アクセスの提供、スクラッチパッド機能、ウェイのマスキングとロック、エラー トラッキング統計データによる ECC サポート、エラー注入、割り込み信号生成機能が含まれます。

L2 キャッシュ コントローラは 4 つのバンクに編成され、各バンクは 512 x 16 ウェイを含み、各ウェイは 64 バイトブロックを含みます。バンクごとに 128 ビットの内部ポートを持つため、複数バンクへの分割は CPU マスタと L2 キャッシュの間で使える帯域幅の向上に役立ちます。異なるバンクに対する複数の要求は並列に処理可能です。L2 キャッシュ コントローラの外側ポートは全てのバンクで共有される 128 ビットポートであり、DDR コントローラに接続されます。

無効にされたキャッシュウェイは、L2-LIM (L2 Loosely Integrated Memory)アドレス空間内でアドレッシング可能です(『PIC64GX1000 データシート』参照)。L2-LIM から命令またはデータをフェッチする事で、L2 キャッシュヒットと等価な(キャッシュミスなしの)決定論的挙動が得られます。L2-LIM へのアクセスは、同じ L2 キャッシュバンクをターゲットとするキャッシュウェイ アクセスよりも常に優先されます。リセット後は、ウェイ 0 を除く全てのウェイが無効になります。キャッシュウェイは、対応する制御レジスタに書き込む事により有効にできます。有効にされたキャッシュウェイは、CPU コンプレックスをリセットしない限り無効にできません。番号が最も大きな L2 キャッシュウェイは最低位の L2-LIM アドレス空間にマッピングされ、キャッシュウェイ 1 は最高位の L2-LIM アドレスレンジを占有します。有効な L2 キャッシュウェイの数を増やすごとに L2-LIM アドレス空間のサイズは減少します。

L2 キャッシュ コントローラは専用のスクラッチパッド アドレス領域を備えています。このメモリへバックアップされないアドレス範囲を使う事で、キャッシュへの割り当てが可能になります。このアドレス領域は、メモリマップ内で「L2 Zero Device」と呼ばれます。スクラッチパッド領域への書き込みは、有効かつマスクされていないキャッシュウェイへ割り当てます。スクラッチパッドには注意が必要ですが、このアドレス空間はメモリにバックアップされません。スクラッチパッド内のアドレスからのキャッシュの割り当て解除はデータの喪失を招きます。L2-LIM に対する L2 スクラッチパッドの主な利点は、スクラッチパッドはキャッシュ可能領域でありスクラッチパッドにストアされるデータはマスタの L1 データキャッシュにもキャッシュ可能であるため、より高速なアクセスが得られるという事です。

6.2 DDR メモリ コントローラ

強化された 16 ビット DDR メモリ コントローラは以下の特長を備えます。

- DDR4、LPDDR4、16 ビットまたは 32 ビット メモリサポート
- デュアルダイ パッケージ向けのデュアルランク サポート
- 1333 Mbps の最大レート
- DDR メモリ テスト機能
- DDR 性能を最適化するリオーダーキュー
- 2x AXI インターフェイス
 - CPU L2 キャッシュからの 128 ビット
 - セントラル AXI スイッチからの 64 ビット
- AXI インターフェイスあたり 32 個の outstanding トランザクション(データ到着前に次のリクエスト発出)数
- 内蔵 CDC (Clock Domain Crossing)回路 - DDR コントローラ クロックを CPU クロックから独立させる事が可能

- DDR クロック生成専用の PLL

DDR メモリ コントローラは、最大 8 GB の外部 DDR4 メモリをサポートします。36 ビットバス幅に設定した場合、SECEDED 機能も提供されます(表 6-1 参照)。

表 6-1. DDR メモリ コントローラ

設定	アクティブパッド数	Lane 0	Lane 1	Lane 2	Lane 3	Lane 4 ¹
5x8 DDR (SECEDED 対応)	36	DDRx8	DDRx8	DDRx8	DDRx8	DDRx8 (4 つは使用済み)
4x8 DDR	32	DDRx8	DDRx8	DDRx8	DDRx8	未使用
3x16 DDR (SECEDED 対応)	36	DDRx16		DDRx16		DDRx16 (4 つは使用済み)
2x16 DDR	32	DDRx16		DDRx16		未使用
3x16 DDR (SECEDED 対応)	18	DDRx8	DDRx8	—	—	DDRx8 (2 つは使用済み)
2x16 DDR	16	DDRx8	DDRx8	—	—	—
1x16 DDR (SECEDED 対応)	18	DDRx16		—	—	DDRx16 (2 つは使用済み)
1x16 DDR	16	DDRx16		—	—	—

Note: 1. Lane 4 は 4 ビット幅しかありません。DDR メモリの上位データビットは未接続です。

6.3 プロセッサの相互接続

PIC64GX1000 は 2 個の相互接続スイッチを内蔵しています。1 つのスイッチは、メモリ サブシステムを介してコヒーレンスを管理する完全実装コヒーレント スイッチです。LIM (Loosely Integrated Memory) として設定された場合、このスイッチは L2 メモリ サブシステムへの決定論的データパスを提供します。もう 1 つのスイッチは、セントラル AMBA I/O スイッチです。このスイッチは CPU コンプレックス、周辺モジュール I/O 空間、強化 DDR メモリ コントローラの間相互接続を管理します。AMBA スイッチは QoS (Quality of Service)機能も備えています。QoS 機能は基本的にデータパスの優先度を指定する 4 ビット値です。セントラル I/O スイッチは部分的に接続され、9 個のスレーブを持つ 15 個のマスタをサポートします。AMBA スイッチは、RISC-V Privileged 仕様で定義された物理メモリ保護(PMP)スキームを模倣するメモリ保護ユニット(MPU)も備えています。

バスマスタは AMBA MPU を通過します。PMP 領域のアドレス粒度は 4096 で始まり、2 のべきでサイズ拡張できます。領域は実行、読み出し、書き込みのいずれかをサポートするよう定義できます。各レジスタで追加のロックビットをセットする事で、次のパワーオン リセットまで MPU 保護スキームに対する変更を防止できます。

7. 内蔵周辺モジュール

PIC64GX1000 は DDR I/O、Ethernet MAC 向け SGMII I/O、参照クロック向け I/O の他に以下に示す多数の周辺モジュールをサポートします。

- eMMC/SD/SDIO
- USB
- QSPI-XIP
- 2x CAN
- 5x UART
- 2x SPI
- 2x I2C
- GPIO
- MIPI CSI-2 (2 レーン)
- PCIe Gen2
- 2x 1G Ethernet

これらの全ての I/O は、全ての PIC64GX1000 パッケージ内でピンに接続されています。

7.1 Gigabit Ethernet MAC

PIC64GX1000 は、2 個の同じ Gigabit Ethernet MAC (GEM) をコア コンプレックスに内蔵しています。各 MAC は最大長 10,240 バイトのフレームを格納できます (SECDED 保護あり)。加えて、GEM は内蔵パケットバッファ DMA をサポートします。各 GEM は以下の IEEE® 802 規格をサポートします。

- IEEE 802.3br Frame Pre-Emption (または Interspersing Express Traffic)
- IEEE 802.1Qci Receive (Ingress) Traffic Policing
- IEEE 802.1Qbb Priority-Based Flow Control
- IEEE 802.1Q VLAN Tagging with Recognition of Incoming VLAN and Priority Tagged Frames
- IEEE 802.1AS
- IEEE 802.1Qav
- IEEE 802.1Qbv
- IEEE 1588-2002 (v1)、IEEE 1588-2008 (v1、v2)
- IEEE 802.1CB Frame Redundancy and Elimination

7.2 PHY インターフェイス

各 GEM は、TBI モードと GMII モードを同時にサポートするよう設定されます。TBI を使う場合、MAC の PCS ブロックはトランシーバへの IEEE802.3X インターフェイスとして使われるのではなく、むしろ専用の SERDES ブロックを介して PHY へのインターフェイスとして使われます。MAC と PHY の間でシリアル化されたこのインターフェイスは SGMII として知られています。SGMII モードでは、PCS インターフェイスとリンク速度オートネゴシエーション ブロックは 802.3X 機能から用途が変更され、MAC-PHY インターフェイスに関連する制御情報を伝達するために使われます。

7.2.1 ダイレクト SGMII I/O

以下の機能は、GEM から内蔵 SGMII PHY への SGMII インターフェイスを提供します。

- 受信した 125 MHz クロックの CDR (Clock Domain Recovery)
- シリアルライズ/デシリアルライズ

- 125 MHz 送信クロックの合成用 PLL
 - 差動データペアの送受信が可能な I/O バッファ (MAC インターフェイスあたり 4 個の I/O)
- Note:** ダイレクト SGMII インターフェイスを使う場合、SyncE プロトコルをサポートできません。

7.2.2 PHY 管理

各 MAC は 1 つの MDC 出力と 1 つの MDIO 入出力ポートを備え、それらは各 MAC インスタンスで別々に引き出されます。しかし、ハードウェアの分離が要求されない場合、必要に応じて 1 つのマネジメント インターフェイスだけを使って(もう 1 つは未使用のまま)複数の PHY を制御する事ができます。

7.2.3 内部フィルタ処理

GEM は 4 つの内部アドレスフィルタを備えています。各フィルタに対して 1 つの MAC アドレスを設定できます。このアドレスは、各受信フレームのソースアドレス (SA) またはディスティネーション アドレス (DA) と比較されます。マスクフィールドを使って、アドレスの特定バイトを比較から除外する事もできます。アドレスが一致したフレームは DMA メモリへと渡され、一致しなかったフレームは破棄されます。Type ID フィールドを使ってフレームをフィルタ処理する事もできます。内部レジスタ空間内に 4 個の Type ID レジスタが存在し、これらは別々に有効にできます。受信フレームの DA のハッシングは、『PIC64GX1000 データシート』内の説明の通りに設定できます。

7.2.4 外部フィルタ処理

単純なアドレスフィルタよりも複雑なフィルタ処理を可能とするため、外部フィルタ インターフェイスが提供されます。フレームを受信した時に、MAC はフレーム内にどのフィールドが存在するのか解析します。各フィールドのラッチを可能にするため、ファブリック内でストロブ信号が提供されます。カスタマイズした(組み合わせロジックの)照合回路により、そのフレームを受け取るべきかどうか(フィルタ用途)、または、そのフレームをどの受信優先度キューに入れるべきか(優先順位付け用途)を解析する事ができます。

7.3 MMC 5.1/SD/SDIO/eMMC

PIC64GX1000 は 1 つの MMC5.1 準拠モジュールと PHY を備えています。I/O は一部の SD カードの動的電圧スケールリングをサポートしないため、外付けの電圧レベル変換器が必要になる場合があります。PIC64GX1000 では以下の eMMC/SD カード規格がサポートされます。SDIO/eMMC インターフェイスはデータ転送用に独自の DMA コントローラをサポートします。DMA コントローラは SDMA および ADMA2 モードをサポートします。

7.3.1 SD カード規格

- Default Speed (DS)
- High Speed (HS)
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I SDR104
- UHS-I DDR50

7.3.2 eMMC 規格

- Standard Speed
- High Speed

- DDR52
- HS200
- HS400
- HS400 Enhanced Strobe

7.4 USB 2.0 OTG

PIC64GX1000 は、ULPI インターフェイス付きの USB 2.0 OTG 準拠コアを備えています。USB コアは以下の特長を備えます。

- ハイスピード/フルスピード USB モジュールの機能コントローラとしての動作、または他の USB 機能とのポイントツーポイントまたはマルチポイント通信におけるホスト/ペリフェラルとしての動作が可能
- ハイスピード(480 Mbps)対応の USB 2.0 規格と USB 2.0 に対する OTG 追加仕様に準拠
- 1つまたは複数のハイスピード、フルスピード、ロースピード デバイスとの OTG 通信をサポート
- セッション リクエスト プロトコル(SRP)とホスト ネゴシエーション プロトコル(HNP)をサポート
- サスペンドおよびレジューム信号をサポート
- リンク 電力制御(LPM)をサポート
- サポートするデバイスの数を最大化するためにエンドポイントの動的割り当てを提供
- Tx エンドポイントの数:4 (+ コントロール エンドポイント)
- Rx エンドポイントの数:4 (+ コントロール エンドポイント)
- マルチポイント機能をサポート
- ソフトウェア接続/切断機能に対応
- ISO 対応エンドポイント向けの高帯域幅サポート
- ハードウェアで 8 ビット/4 ビット LPI インターフェイス オプションを選択可能
- ベンダー制御レジスタ(4 ビット幅)とステータス レジスタ(8 ビット幅)に対応
- DMA チャンネル数:4
- 動的 FIFO をサポート(有効エンドポイントあたりのバッファ深さを動的に割り当て可能)

7.5 ユーザ暗号コア

PIC64GX1000 はサイドチャンネル攻撃耐性を持つ Athena TeraFire F5200B 暗号コプロセッサを内蔵しています。Athena コアの内部メモリは SECDED で保護されます。

7.5.1 TeraFire EXP-F5200B 対応プロトコルの特長

TeraFire EXP-F5200B がサポートするプロトコル/機能は以下の通りです。

- TRNG SP800-90A CTR_DRBG-2565、SP800-90B (draft) NRBG
- AES (鍵長: 128/192/256) E/D (ECB、CBC、CTR、OFB、CFB、GCM、KeyWrap)
- SHA-1/224/256/384/512
- HMAC-SHA-1/224/256/384/512、GMAC-AES、CMAC-AES
- SHA-256 鍵ツリー
- ECC:NIST P256/384/521 と Brainpool P256/384/512 曲線、KeyGen、KAS - ECC CDH、ECDSA SigGen & SigVer、PKG、PKV
- IFC:1024/1536/2048/3072/4096 RSA E/D、SSA_PKCS1_V1_5 SigGen & SigVer、ANSI X9.31 SigGen & SigVer
- FFC:1024/153/2048/3072/4096、KAS - DH、DSA SigGen & SigVer

7.6 CAN (Controller Area Network)

PIC64GX1000 は、CAN 2.0 A/B および ISO 11898-1 に準拠する 2 個の CAN (Controller Area Network) コアを内蔵しています。内部メッセージ SRAM は SECDED で保護されています。CAN コントローラは以下の特長を備えます。

7.6.1 受信パス

受信パスのプロパティ:

- 32x 受信バッファ
- 各バッファは独自のメッセージ フィルタを備える
- メッセージフィルタの対象: ID、IDE、RTR、データバイト 1、データバイト 2
- メッセージバッファを相互にリンクする事でより大きなメッセージアレイを構成可能
- リモート送信要求(RTR)自動応答ハンドラ (オプションにより RTR 割り込みを生成可能)

7.6.2 送信パス

送信パスのプロパティ:

- 32x 送信メッセージ保持レジスタ(設定可能な優先度調停)
- メッセージ中止コマンド
- シングルショット送信(エラーまたはアービトレーション ロスト時の自動送信はしない)

7.6.3 デバッグサポート

デバッグサポートの機能:

- リッスンオンリー モード
- 内部ループバック モード
- 外部ループバック モード
- エラーキャプチャ レジスタ
- ソフトウェアによるメモリテストをサポートする SRAM テストモード (コアが無効な場合、SRAM は CPU によってアドレス指定可能)

7.7 QSPI XIP コントローラ

PIC64GX1000 は、XIP (eXecute In Place)機能を備えたクワッド SPI (QSPI)フラッシュ コントローラを内蔵しています。QSPI の機能:

- マスタ SPI データレート
 - プログラマブル SPI クロック (HCLK/2、HCLK/4、HCLK/6)
 - 最大データレートは HCLK/2
- FIFO
 - 送信および受信 FIFO
 - 深さ 16 バイトの送信 FIFO
 - 深さ 32 バイトの受信 FIFO
- SPI プロトコル
 - マスタ動作
 - Motorola SPI をサポート
 - アイドルサイクル中にスレーブ選択動作を設定可能
 - 拡張 SPI 動作(1/2/4 ビット)をサポート

- QSPI 動作(4 ビット動作)をサポート
- BPSPI 動作(2 ビット動作)をサポート
- XIP (execute in place)をサポート
- 3/4 バイト SPI アドレスをサポート
- フレームサイズ
 - 8 ビットフレームを直接サポート
 - バックツーバック フレーム動作をサポート (>8 ビットフレーム)
 - 最大 4 G バイト(2**32 バイト)の転送をサポート
- プロセッサ オーバーヘッドの削減
 - 自動データ生成/破棄機能による SPI フラッシュ コマンド/データ パケットのサポート

7.8 SPI (Serial Peripheral Interface)

SPI は、マイクロプロセッサまたはマイクロコントローラと周辺デバイス間の相互通信を可能にする同期シリアルデータ プロトコルです。

SPI コントローラは Motorola SPI、Texas Instruments 同期シリアル、National Semiconductor MICROWIRE™ フォーマットに準拠したシリアル インターフェイスを提供します。加えて、SPI は大容量の SPI フラッシュおよび EEPROM デバイスとハードウェア ベースのスレーブ プロトコル エンジンとの接続をサポートします。PIC64GX1000 は 2 個の同じ SPI コントローラを内蔵しています。SPI モジュールは以下の機能をサポートします。

- マスタモードとスレーブモード
- 選択可能な最大 8 個のスレーブ
- スレーブ選択動作の設定
- クロック優先度の設定
- 未使用時に GPIO として設定可能
- 送信(Tx)と受信(Rx)で別々の FIFO (割り込みサービスの負荷を低減)

7.9 マルチモード UART

PIC64GX1000 の MMUART (Multi-Mode Universal Asynchronous/synchronous Receiver/Transmitter)は、モデム等のシリアルデバイスからのデータに対してシリアル/パラレル変換を実行し、CPU からのデータに対してパラレル/シリアル変換を実行します。PIC64GX1000 は 5 個の同じ MMUART を備えています。MMUART は、一般的な 16550 UART デバイスとソフトウェア互換です。

MMUART モジュールは以下の機能をサポートします。

- 非同期および同期動作
- フル プログラマブルなシリアル インターフェイス特性
- データ幅を 5/6/7/8 ビットに設定可能
- パリティビット(偶数/奇数/パリティなし)の生成/検出
- 1、1½、2 ビット長のストップビット生成
- マルチドロップ アドレス指定トポロジ向けの 9 ビット アドレスフラグに対応
- 送信(Tx)と受信(Rx)で別々の FIFO (プロセッサの割り込みサービス負荷を低減)
- 単線式半二重モード(Tx 端子を双方向データ転送用に使用可能)
- LIN (Local interconnect network)ヘッダ検出と baud レート自動計算
- ISO 7816 スマートカードとの通信
- フラクショナル baud レートに対応

- RZI (Return to Zero Inverted) 変調/復調ブロックによる IrDA (Infrared Data Association) および SIR (Serial Infrared) 通信
- データ送受信時のビット順(最上位ビット(MSB)先頭または最下位ビット(LSB)先頭)を選択可能
- MMUART として使わない場合に GPIO として設定可能

7.9.1 I²C

Philips Semiconductors 社が提唱した I²C (Inter-Integrated Circuit) は、多数のデバイス間のデータ転送を可能にする 2 線式シリアルバス インターフェイスです。PIC64GX1000 は 2 個の同じ I²C モジュールを備えています。これらは、PIC64GX1000 と外部の I²C 準拠デバイス間のシリアル通信手段を提供します。I²C モジュールは以下の機能をサポートします。

- マスタモードとスレーブモード
- 7 ビットアドレス フォーマット、最大 100 Kbps (標準モード) または最大 400 Kbps (ファストモード) のデータ転送
- マルチマスタ コリジョン検出と調停
- 固有スレーブアドレスおよびジェネラルコール アドレスの検出
- 第 2 スレーブアドレスの検出
- SMBus (System Management Bus) タイムアウトおよびリアルタイム アイドル条件カウンタ
- 入カグリッチ/スパイク フィルタ
- MMUART として使わない場合に GPIO として設定可能

7.10 リアルタイム カウンタ

PIC64GX1000 は、クロック プリスケーラとアラーム復帰コンパレータを内蔵したリアルタイム カレンダを備えています。リアルタイム カレンダは以下の 2 つの動作モードを備えています。

- リアルタイム カレンダ (秒/分/時/日/週/月/年をカウント)
- バイナリカウンタ (0~2⁴³ のカウント)

7.11 ウォッチドッグ タイマ

5 個 (CPU あたり 1 個) のウォッチドッグ タイマが存在します。各プロセッサが対応するウォッチドッグ タイマを周期的にサービスする事により、システムのクラッシュを防ぎます。ウォッチドッグはリセット時に有効にならず、トリガ値に達した時点で NMI を生成します。一度有効にしたウォッチドッグを無効にする事はできません。

7.12 タイマ

PIC64GX1000 のシステムタイマは、コア コンプレックスに対して割り込みを生成する 2 個のプログラマブル 32 ビット デクリメント カウンタで構成されます。2 個の 32 ビットタイマは同じ物であり、以下の機能を備えています。

- ワンショット モード
- 周期モード
- 連結モード (2 個の 32 ビットタイマを連結して 64 ビットタイマを形成)
- タイマが 0 に達した時の割り込み要求の有効化/無効化
- タイマ開始、停止、リセットの制御

7.13 周辺モジュール用メモリの SECDED レポートとエラー注入

Gigabit Ethernet MAC、MMC 5.1 コントローラ、USB OTG コントローラ、CAN コントローラ、暗号コア、内蔵コア コンプレックス DDR コントローラ内のメモリは SECDED (1 ビットエラー訂正/2 ビットエラー検出) 誤り訂正コード (ECC) サブシステムにより保護されています。これにより 32 ビットメモリには 7 ビットが追加され、64 ビットメモリには 8 ビットが追加されます。CPU システム内のメモリは、独自の ECC 制御およびレポート システムを備えています。外部 DDR メモリは、オプションで ECC をサポートします。各コア コンプレックス内部メモリシステムは独自の制御およびステータス レジスタのセットを備えています。これにはステータス レジスタ、割り込みイネーブル レジスタ、カウントレジスタ、エラー注入レジスタが含まれます。

2 ビットのエラーが検出された場合、データは訂正されません。データが AMBA バスを介して読み出される場合、システムは APB、AHB、AXI のいずれかでエラー応答を返す事によりデータが破損している事を示します。割り込みが有効にされている場合、割り込みも生成されます。データが AMBA バスを介して読み出されるのではない場合(USB、CAN、Ethernet 送信データ等)、破損したデータは送信され、割り込みが生成されます。その後、システムはバスエラー イベントまたは割り込みに応答し、適切なりカバリ対応を取る事ができます。ユーザによる誤り訂正サブシステムの検証を容易にするため、ECC エラー注入がサポートされます。適切な EDAC エラー注入制御レジスタを設定する事により、データに 1/2/3 ビットの誤りを書き込む事ができます。

7.14 DMA コントローラ

PIC64GX1000 コア コンプレックスのダイレクトメモリ アクセス(DMA)コントローラは、最大で 4 チャンネルの独立した同時転送をサポートします。各チャンネルは独自の制御レジスタと 2 つの割り込み(完了とエラー)を備えています。バス トランザクションのサイズは設定可能であり、トランザクションは DMA エンジンへ自動的にロード可能です。DMA エンジンは、hart ソフトウェア サービス (E51 上で実行されるファームウェア)と連携します。

8. ブートプロセス

セキュリティ コントローラは、選択されたブートモードに基づいて CPU コア コンプレックス hart の起動を制御します。

- No-Boot はブランクデバイスによって使われる他に、電源投入時にコードが実行されてはいけない組み込みソフトウェアのデバッグ時に使われます。
- Standard Boot は、電源投入時にマイクロプロセッサ サブシステム hart が eNVM から非セキュアコードの実行を開始する場合に使われます。
- Secure Boot は、Microchip 社から提供される eNVM 内容のファクトリ セキュアブート認証を実装します。

9. PCI Express

各 PIC64GX1000 は低消費電力 PCIe Gen2 コントローラを 2 個内蔵しているため、1 つまたは複数のホストプロセッサへシームレスかつ容易に接続できます。2 個の PCIe コントローラは 2 つのクワッドで共有されます。

9.1 PCI Express の特長

PCIe の特長は以下の通りです。

- x1、x2、x4 レーンをサポート(FCS パッケージ品は x1 レーンのみサポート)
- ルートポートに適する
- PCI Express 基本仕様リビジョン 2.0 および 1.1 に準拠
- PCIe シングル ファンクション サポート
- AER (Advanced Error Reporting) のサポート
- ユーザが選択した AXI4 周波数をサポートするための内蔵 CDC (Clock Domain Crossing)
- レーン反転のサポート
- レガシー PCI 電源管理のサポート
- ネイティブ アクティブ ステート電源管理 L0s および L1 ステートのサポート
- 電源管理イベント(PME メッセージ)
- MSI およびレガシー INT メッセージのサポート
- LTR (Latency Tolerance Reporting)
- CLKREQ を使う L1 PM サブステート
- PCIe ドメインと AXI4 ドメインの間のアドレス変換テーブル

9.1.1 PCI Express DMA エンジン

各 PCIe コントローラは、以下の内蔵 DMA モードをサポートします。

- 2x DMA チャンネル
- 8x outstanding トランザクション要求
- Completion reordering のサポート
- 柔軟なスキッター/ギャザーDMA モード (ディスクリプタごとの動的 DMA 制御を含む)
- DMA エンジンによるディスクリプタへのレポート (ソフトウェア管理を容易にするオプション)
- スループットを最適化するために最大 3 つのディスクリプタをフェッチ

10. ツール

PIC64GX1000 と互換のツールは以下の通りです。

IDE

- MPLAB® (RV64 対応)

Linux OS/BSP

- Linux ビルドシステム
 - YoctoBSP:Yocto ベースの Linux ビルドシステム
- Linux4Microchip
- Canonical 社の商用 Ubuntu

RTOS

- オープンソース – FreeRTOS、Zephyr、RTEMS、NuttX、SafeRTOS
- 商用 - Siemens Nucleus、Sel4 uKernel、PikeOS、WindRiver - VXWorks、Greenhills - μ -velOSity & Integrity

GitHub

- ベアメタル ドライバ、起動コード、RTOS、Linux ビルドシステム、BSP、リファレンス サンプル
- 詳細は github.com/pic64gx を参照してください。

Mi-V エコシステム

Mi-V RISC-V エコシステムは、RISC-V 設計をフルサポートするために Microchip 社と多数のサードパーティによって開発されたツールと設計リソースの包括的なスイートであり、継続的に拡張されています。Mi-V エコシステムは、RISC-V ISA と Microchip 社の RISC-V コンピューティング製品の適応性の向上を目的とします。

ツールとキットの詳細は、製品ページ (www.microchip.com/en-us/products/microprocessors/64-bit-mpus/pic64gx) を参照してください。

11. PolarFire SoC との互換性

PIC64GX1000 は、PolarFire SoC から RISC-V ベースのコア コンプレックス、バス構造、セキュリティ、メモリ サブシステムを継承しています。柔軟性、能力、拡張性の強化が要求されるアプリケーションにおいて、PolarFire SoC は FPGA として PIC64GX1000 の処理能力と大規模なプログラマブル ファブリックを活用します。PIC64GX1000 は PolarFire SoC と直接ピン互換です。

12. 改訂履歴

本書に適用された変更の履歴は以下の通りです。最新版から順にリビジョンごとに記載します。

リビジョン	日付	内容
B	10/2024	<p>このリビジョンでの変更内容は以下の通りです。</p> <ul style="list-style-type: none">「特長」内の動作周波数を更新しました。「概要」内のブロック図を更新しました。「製品ファミリの概要」内で、FCS バリエーション向け PCIe Gen2 ホストのレーン数と MIPI CSI-2 の値を更新しました。「PCI Express の特長」内で、FCS パッケージは x1 レーンのみサポートする事を追記しました。「内蔵周辺モジュール」から「改名されたプロセッサ I/O」の項目を削除しました。 HDMI2.0 (FCV バージョン)を HDMI 1.4に変更しました。 PCIe Gen2 と 1G Ethernet x2 を追加しました。「DDR メモリ コントローラ」から DDR3 メモリの SECCDED 対応を削除しました。「PHY インターフェイス」から MII モードサポートを削除しました。「ツール」に GitHub PIC64-GX サイトへのリンクを追加しました。
A	07/2024	本書の初版です。

Microchip 社の情報

Microchip 社ウェブサイト

Microchip 社はウェブサイト(www.microchip.com)を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。以下を含む各種の情報をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - FAQ(よく寄せられる質問)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のデザイン パートナー プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクタと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/正規代理店)の一覧

製品変更通知サービス

Microchip 社の製品変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

<http://www.microchip.com/pcn> にアクセスし、登録手続きをしてください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用になれます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。各地の営業所もご利用になれます。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。 www.microchip.com/support

Microchip 社のデバイスコード保護機能

Microchip 社製品のコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip 社はその知的財産権を重視し、積極的に保護しています。Microchip 社製品のコード保護機能の侵害は固く禁じられており、デジタル ミレニアム著作権法に違反します。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「読解不能」として保証するものではありません。コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。

法律上の注意点

本書および本書に記載されている情報は、Microchip 社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip 社製品に対してのみ使用する事ができます。それ以外の方法でこの情報を使用する事はこれらの条項に違反します。デバイス アプリケーションの情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。

お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートについては、弊社または代理店にお問い合わせになるか、www.microchip.com/en-us/support/design-help/client-support-services をご覧ください。

Microchip 社は本書の情報を現状のまま提供しています。Microchip 社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adaptec、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、TimeCesium、TimeHub、TimePictra、TimeProvider、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、EyeOpen、GridTime、IdealBridge、IGaT、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、MarginLink、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、mSiC、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PICKtail、Power MOS IV、Power MOS 7、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、Turing、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービス マークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、その他の国における Microchip Technology Germany II GmbH & Co. KG (Microchip Technology Inc.の子会社)の登録商標です。

その他の商標は各社に帰属します。

© 2025, Microchip Technology Incorporated and its subsidiaries. All Rights Reserved.

ISBN: 979-8-3371-0085-2

品質管理システム

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

各国の営業所とサービス

北米	アジア/太平洋	アジア/太平洋	ヨーロッパ
本社 2355 West Chandler Blvd. Chandler, AZ 85224-6199 Tel:480-792-7200 Fax:480-792-7277 技術サポート: http://www.microchip.com/support URL: www.microchip.com	オーストラリア - シドニー Tel:61-2-9868-6733 中国 - 北京 Tel:86-10-8569-7000 中国 - 成都 Tel:86-28-8665-5511 中国 - 重慶 Tel:86-23-8980-9588 中国 - 東莞 Tel:86-769-8702-9880 中国 - 広州 Tel:86-20-8755-8029 中国 - 杭州 Tel:86-571-8792-8115 中国 - 香港 SAR Tel:852-2943-5100 中国 - 南京 Tel:86-25-8473-2460 中国 - 青島 Tel:86-532-8502-7355 中国 - 上海 Tel:86-21-3326-8000 中国 - 瀋陽 Tel:86-24-2334-2829 中国 - 深圳 Tel:86-755-8864-2200 中国 - 蘇州 Tel:86-186-6233-1526 中国 - 武漢 Tel:86-27-5980-5300 中国 - 西安 Tel:86-29-8833-7252 中国 - 廈門 Tel:86-592-2388138 中国 - 珠海 Tel:86-756-3210040	インド - バンガロール Tel:91-80-3090-4444 インド - ニューデリー Tel:91-11-4160-8631 インド - ブネ Tel:91-20-4121-0141 日本 - 大阪 Tel:81-6-6152-7160 日本 - 東京 Tel:81-3-6880-3770 韓国 - 大邱 Tel:82-53-744-4301 韓国 - ソウル Tel:82-2-554-7200 マレーシア - クアラルンプール Tel:60-3-7651-7906 マレーシア - ペナン Tel:60-4-227-8870 フィリピン - マニラ Tel:63-2-634-9065 シンガポール Tel:65-6334-8870 台湾 - 新竹 Tel:886-3-577-8366 台湾 - 高雄 Tel:886-7-213-7830 台湾 - 台北 Tel:886-2-2508-8600 タイ - バンコク Tel:66-2-694-1351 ベトナム - ホーチミン Tel:84-28-5448-2100	オーストリア - ヴェルス Tel:43-7242-2244-39 Fax:43-7242-2244-393 デンマーク - コペンハーゲン Tel:45-4485-5910 Fax:45-4485-2829 フィンランド - エスポー Tel:358-9-4520-820 フランス - パリ Tel:33-1-69-53-63-20 Fax:33-1-69-30-90-79 ドイツ - ガーヒング Tel:49-8931-9700 ドイツ - ハーン Tel:49-2129-3766400 ドイツ - ハイムブロン Tel:49-7131-72400 ドイツ - カールスルーエ Tel:49-721-625370 ドイツ - ミュンヘン Tel:49-89-627-144-0 Fax:49(-89/-627)-144/-44 ドイツ - ローゼンハイム Tel:49-8031-354-560 イスラエル - ラーナナ Tel:972-9-744-7705 イタリア - ミラノ Tel:39-0331-742611 Fax:39-0331-466781 イタリア - パドヴァ Tel:39-049-7625286 オランダ - ドリュエネン Tel:31-416-690399 Fax:31-416-690340 ノルウェー - トロンハイム Tel:47-7288-4388 ポーランド - ワルシャワ Tel:48-22-3325737 ルーマニア - ブカレスト Tel:40-21-407-87-50 スペイン - マドリッド Tel:34-91-708-08-90 Fax:34-91-708-08-91 スウェーデン - ヨーテボリ Tel:46-31-704-60-40 スウェーデン - ストックホルム Tel:46-8-5090-4654 イギリス - ウォーキンガム Tel:44-118-921-5800 Fax:44-118-921-5820
アトランタ Duluth, GA Tel:678-957-9614 Fax:678-957-1455 オースティン, TX Tel:512-257-3370 ボストン Westborough, MA Tel:774-760-0087 Fax:774-760-0088 シカゴ Itasca, IL Tel:630-285-0071 Fax:630-285-0075 ダラス Addison, TX Tel:972-818-7423 Fax:972-818-2924 デトロイト Novi, MI Tel:248-848-4000 ヒューストン, TX Tel:281-894-5983 インディアナポリス Noblesville, IN Tel:317-773-8323 Fax:317-773-5453 Tel:317-536-2380 ロサンゼルス Mission Viejo, CA Tel:949-462-9523 Fax:949-462-9608 Tel:951-273-7800 ローリー, NC Tel:919-844-7510 ニューヨーク, NY Tel:631-435-6000 サンノゼ, CA Tel:408-735-9110 Tel:408-436-4270 カナダ - トロント Tel:905-695-1980 Fax:905-695-2078			