

はじめに (質問する)

PCB(プリント基板)とPolarFire®デバイスで期待通りの性能を達成するには適切なボード設計手法が必要です。高品質で信頼性の高い結果を得るには、ノイズレベルを最小限に抑え、シグナル インテグリティを維持し、インピーダンスと電力の要件を満たし、適切なトランシーバ プロトコルを使う事が重要です。これらのガイドラインは、標準的なボードレベル設計手法の補足資料として扱う必要があります。

本書の対象読者は、PolarFireデバイスに詳しく、デジタルボード設計の経験があり、システムの電気的特性について理解している方です。本書では、PolarFire FPGAの電源、高速インターフェイス、各種制御インターフェイス、関連する周辺部品について説明します。

目次

はじめに.....	1
目次.....	2
1. ボードの設計.....	3
1.1. 電源.....	3
1.2. I/Oグリッチ.....	11
1.3. ユーザーI/O.....	13
1.4. クロック.....	15
1.5. リセット.....	15
1.6. DDR.....	16
1.7. デバイスのプログラミング.....	16
1.8. トランシーバ.....	19
1.9. MIPIハードウェア設計ガイドライン.....	19
1.10. ACおよびDC結合.....	21
1.11. ブラウンアウト検出.....	21
2. ボード設計のチェックリスト.....	23
2.1. 前提条件.....	23
2.2. 設計チェックリスト.....	23
2.3. レイアウト チェックリスト.....	24
3. 補遺: 一般的なレイアウト設計手法.....	26
3.1. MIPI.....	26
3.2. トランシーバ.....	26
4. 改訂履歴.....	31
Microchip社のFPGAサポート.....	34
Microchip社の情報.....	34
Microchip社ウェブサイト.....	34
製品変更通知サービス.....	34
お客様サポート.....	34
Microchip社のデバイスコード保護機能.....	35
法律上の注意点.....	35
商標.....	35
品質管理システム.....	36
各国の営業所とサービス.....	37

1. ボードの設計 (質問する)

PolarFire FPGAはDDR3/DDR4等の各種高速メモリ インターフェイス、きわめて低消費電力の12.7 Gbps トランシーバ(XCVR)、内蔵の低消費電力デュアルPCIe® Gen2、HSIO(高速I/O)とGPIO(汎用I/O)等のファブリックI/OをサポートするフラッシュベースのFPGAです。

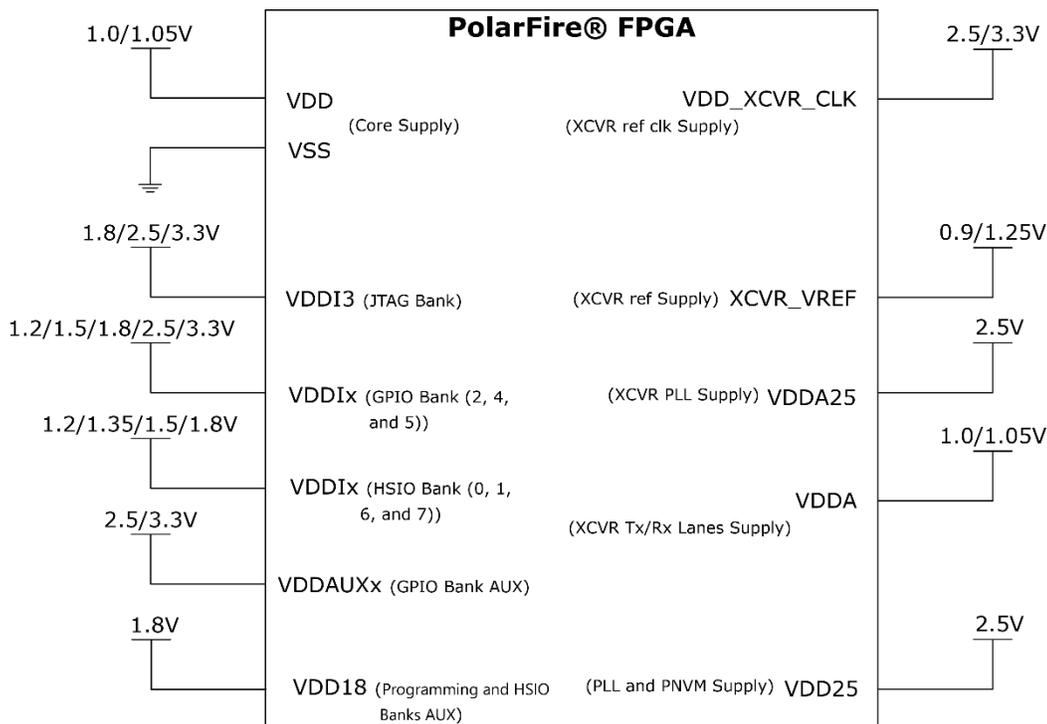
以降のセクションでは以下の項目を説明します。

- 1.1 電源
- 1.3 ユーザーI/O
- 1.4 クロック
- 1.5 リセット
- 1.7 デバイスのプログラミング
- 1.8 トランシーバ
- 1.10 ACおよびDC結合
- 1.11 ブラウンアウト検出

1.1. 電源 (質問する)

PolarFireデバイスの標準的な電源要件と、デバイスの全ての部分がシステムで使われる場合の電源レールの推奨接続を以下の図に示します。個々の電源に関連するデカップリング コンデンサの詳細は[1.1.1 PolarFireデカップリング コンデンサ](#)を参照してください。

図1-1. 電源



デカップリング コンデンサの数を計算するには、電源プレーンの目標インピーダンスを知る事が重要です。目標インピーダンスは以下のように計算します。

式1-1. 目標インピーダンス

$$Z_{Max} = \% \text{ Ripple} \times \frac{V_{supply}}{I_{trans}}$$

- V_{supply} : 電源プレーンの電源電圧
- % Ripple: 電源プレーンで許容されるリップルの割合。推奨動作条件におけるリップルの詳細は『[PolarFire FPGA Datasheet](#)』を参照してください。
- I_{trans} : 電源プレーンに流れる過渡電流。過渡電流は最大電流の半分です。最大電流は[Microchip Power Estimator \(MPE\) - PolarFire](#)、[RT PolarFire](#)、[PolarFire SoC](#)から取得されます。
- Z_{max} : プレーンの目標インピーダンス

デバイスが正常に動作するためには、電源自体からスパイクがなく、関連するグラウンドにノイズがない必要があります。全てのオーバーシュートとアンダーシュートは『[PolarFire FPGA Datasheet](#)』に記載されている絶対最大定格の範囲内でなければなりません。

下表にPolarFire FPGAに必要な各種電源を示します。

表1-1. 電源ピン

名前	説明
XCVR_VREF	トランシーバ用参照電圧
VDD_XCVR_CLK	トランシーバ参照クロック用入力バッファへの電力供給
VDDA25	トランシーバのPLLへの電力供給
VDDA ¹	トランシーバのTXおよびRXレーンへの電力供給
VSS	コア デジタルグラウンド
VDD ²	デバイスコア デジタル電源
VDDI3 (JTAGバンク)	JTAGバンクピンへの電力供給
VDDIx (GPIOバンク)	GPIOバンクピンへの電力供給
VDDIx (HSIOバンク)	HSIOバンクピンへの電力供給
VDD25	コーナーPLLとPNVMへの電力供給
VDD18	プログラミングおよびHSIO補助電源への電力供給
VDDAUXx	GPIO補助電源への電力供給

Note:

1. VDDA: この電源は1.0Vまたは1.05Vにする事ができます。詳細は『[PolarFire FPGA Datasheet](#)』の表4-2を参照してください。VDDA/VDDA25はアナログ回路向けに低雑音にする必要があります。1つの方法として、リニアレギュレータを使って電源のノイズを抑える事ができます。
2. VDD: この電源は1.0Vまたは1.05Vにする事ができます。詳細は『[PolarFire FPGA Datasheet](#)』の表4-2を参照してください。

VREFx: これはDDR3信号とDDR4信号の参照電圧です。以下のVREF電圧を内部と外部で生成できます。

- 内部VREF: これはPCBおよびパッケージのインダクタンスと容量損失の影響を受けません。これらの変更により最高の性能が達成され、必要に応じてDDRコントローラでプログラムできます。
- 外部VREF: これは固定であり、プログラムする事はできません。PCBとパッケージのインダクタンスと容量はVREFの性能に影響します。



Important: VDDIとVDDAUXを同じ電圧(2.5Vまたは3.3V)に設定する必要がある場合、VDDIとVDDAUXは同じレギュレータから供給する必要があります。別々のレギュレータからこれらのレールに電力を供給してはなりません。これにより、VDDIとVDDAUXの間で電位差が発生するのを防ぐことができます。この場合、ボードはVDDIとVDDAUXを別々の電圧源から電力供給してはなりません。

GPIOバンクでVDDIが2.5V未満(1.2V、1.5V、または1.8V)である必要がある場合、そのバンクのVDDAUXはVDDI電源とは関係なく2.5V電源に接続する必要があります。VDDIは、特定のI/Oタイプ(1.5Vまたは1.8V)に合わせて個別の電源を必要とします。



Important:

- オンチップ パワーオン リセット回路では、V_{DD}、V_{DD18}、V_{DD25}電源を0Vから最小推奨動作電圧まで単調に増加させる必要があります。
- I/OキャリブレーションはVDDA電源とXCVR_VREF電源の両方が規定電圧に到達した後にのみ開始する必要があります。

ピンの詳細な説明は『[PolarFire FPGA Packaging and Pin Descriptions User Guide](#)』を参照してください。

1.1.1. PolarFireデカップリング コンデンサ (質問する)

下表はデバイスの各種バリエーションとパッケージごとに全てのデカップリング コンデンサの要件をまとめたものです。

表1-2. 電源デカップリング コンデンサ¹-MPF500T - FCG1152/FCG784 (1 mm)

ピン名称	セラミック							タンタル
	4.7 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	330 μF
VDD	-	-	4	-	-	-	-	3
VDD18	-	-	2	-	-	-	2	-
VDD25	-	-	5	-	-	1	-	-
VDDA	3	1	6	-	-	-	2	-
VDDA25	-	-	4	-	-	-	1	-
VDDIO3	-	-	-	-	-	-	-	-
VDDAUX ²	-	-	2	-	-	-	1	-
GPIOバンク ³	-	-	2	-	-	-	1	-
HSIOバンク ⁴	-	-	2	-	-	-	1	-
VDD_XCVR_CLK	-	-	2	-	-	1	-	-
XCVR_VREF	-	-	2	-	-	-	-	-

表1-3. 電源デカップリング コンデンサ¹-MPF300T - FCG1152/FCG784/FCG484 (1 mm)

ピン名称	セラミック							タンタル
	4.7 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	330 μF
VDD	-	-	4	-	-	-	-	2
VDD18	-	-	2	-	-	-	2	-
VDD25	-	-	5	-	-	1	-	-
VDDA	3	1	6	-	-	-	1	-
VDDA25	-	-	4	-	-	-	1	-

…続き

ピン名称	セラミック							タンタル
	4.7 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	330 μF
VDDIO3	-	-	-	-	-	-	-	-
VDDAUXx ²	-	-	2	-	-	-	1	-
GPIOバンク ³	-	-	2	-	-	-	1	-
HSIOバンク ⁴	-	-	2	-	-	-	1	-
VDD_XCVR_CLK	-	-	2	-	-	1	-	-
XCVR_VREF	-	-	2	-	-	-	-	-

表1-4. 電源デカップリング コンデンサ¹-MPF300T/MPF200T/MPF100T/MPF050T - FCVG484 (0.8 mm)

ピン名称	セラミック								タンタル
	1 nF	2.2 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	330 μF
VDD	-	-	-	4	1	-	-	-	2
VDD18	-	-	-	2	-	-	-	2	-
VDD25	-	-	-	5	-	-	1	-	-
VDDA	-	2	2	1	-	-	-	1	-
VDDA25	1	-	-	1	-	-	-	1	-
VDDIO3	-	-	-	-	-	-	-	-	-
VDDAUXx ²	-	-	-	2	-	-	-	1	-
GPIOバンク ³	-	-	-	2	-	-	-	1	-
HSIOバンク ⁴	-	-	-	2	-	-	-	1	-
VDD_XCVR_CLK	-	-	-	2	-	-	1	-	-
XCVR_VREF	-	-	-	2	-	-	-	-	-

表1-5. 電源デカップリング コンデンサ¹-MPF300T/MPF200T - FC5G536 (0.5 mm)

ピン名称	セラミック								タンタル
	1 nF	2.2 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	330 μF
VDD	-	-	-	4	1	-	-	-	2
VDD18	-	-	-	2	-	-	-	2	-
VDD25	-	-	-	5	-	-	1	-	-
VDDA	2	3	1	1	-	-	-	1	-
VDDA25	1	-	-	1	-	-	-	1	-
VDDIO3	-	-	-	-	-	-	-	-	-
VDDAUXx ²	-	-	-	2	-	-	-	1	-
GPIOバンク ³	-	-	-	2	-	-	-	1	-
HSIOバンク ⁴	-	-	-	2	-	-	-	1	-
VDD_XCVR_CLK	-	-	-	2	-	-	1	-	-
XCVR_VREF	-	-	-	2	-	-	-	-	-

表1-6. 電源デカップリング コンデンサ¹-MPF200T - FCG784/FCG484 (1 mm)

ピン名称	セラミック							タンタル
	4.7 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	
VDD	-	2	2	-	-	-	-	2
VDD18	-	-	2	-	-	-	2	-
VDD25	-	-	5	-	-	1	-	-
VDDA	3	1	6	-	-	-	1	-
VDDA25	-	-	4	-	-	-	1	-
VDDIO3	-	-	-	-	-	-	-	-
VDDAUXx ²	-	-	2	-	-	-	1	-
GPIOバンク ³	-	-	2	-	-	-	1	-
HSIOバンク ⁴	-	-	2	-	-	-	1	-
VDD_XCVR_CLK	-	-	2	-	-	1	-	-
XCVR_VREF	-	-	2	-	-	-	-	-

表1-7. 電源デカップリング コンデンサ¹-MPF200T/MPF100T/MPF050T- FCSG325 (0.5 mm)

ピン名称	セラミック									タンタル
	1 nF	2.2 nF	4.7 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	
VDD	-	-	-	-	4	1	-	-	-	2
VDD18	-	-	-	-	2	-	-	-	2	-
VDD25	-	-	-	-	5	-	-	1	-	-
VDDA	-	1	1	1	1	-	-	-	1	-
VDDA25	1	-	-	-	1	-	-	-	1	-
VDDIO3	-	-	-	-	-	-	-	-	-	-
VDDAUXx ²	-	-	-	-	2	-	-	-	1	-
GPIOバンク ³	-	-	-	-	2	-	-	-	1	-
HSIOバンク ⁴	-	-	-	-	2	-	-	-	1	-
VDD_XCVR_CLK	-	-	-	-	2	-	-	1	-	-
XCVR_VREF	-	-	-	-	2	-	-	-	-	-

表1-8. 電源デカップリング コンデンサ¹-MPF100T - FCG484 (1 mm)

ピン名称	セラミック									タンタル
	1 nF	2.2 nF	4.7 nF	10 nF	0.1 μF	1 μF	4.7 μF	10 μF	47 μF	
VDD	-	-	-	2	2	1	-	-	-	1
VDD18	-	-	-	-	2	-	-	-	2	-
VDD25	-	-	-	-	5	-	-	1	-	-
VDDA	-	-	3	1	6	-	-	-	1	-
VDDA25	1	-	-	-	4	-	-	-	1	-
VDDIO3	-	-	-	-	-	-	-	-	-	-
VDDAUXx ²	-	-	-	-	2	-	-	-	1	-
GPIOバンク ³	-	-	-	-	2	-	-	-	1	-

…続き

ピン名称	セラミック									タンタル
	1 nF	2.2 nF	4.7 nF	10 nF	0.1 μ F	1 μ F	4.7 μ F	10 μ F	47 μ F	330 μ F
HSIOバンク ⁴	-	-	-	-	2	-	-	-	1	-
VDD_XCVR_CLK	-	-	-	-	2	-	-	1	-	-
XCVR_VREF	-	-	-	-	2	-	-	-	-	-

コンデンサの物理的サイズ要因にてネットワークの性能を満たせる、または上回る性能の場合、上の表に挙げた以外のデカップリング コンデンサを使う事もできます。代替える場合は電力分配システムの周波数インピーダンス特性を分析し、その部品による共振等で周波数軸上でインピーダンス スパイクが発生しない事を確認する必要があります。電源設計については図1-1を参照してください。

PolarFireパッケージに関連する電源の内部パッケージ容量の詳細は、『[PolarFire FPGA Packaging and Pin Descriptions User Guide](#)』の2.4.2.1を参照してください。

下表にPolarFireパッケージに必要なデカップリング コンデンサの一覧を示します。

表1-9. PolarFireデバイスに推奨されるデカップリング コンデンサ

デカップリング コンデンサの容量値	製品番号	パッケージ	説明
0.1 μ F	GRM155R71C104KA88D	0402	1 mmパッケージ用
10 nF	GRM15XR11C103KA86	0402	1 mmパッケージ用
4.7 nF	GRM155R11H472KA01	0402	1 mmパッケージ用
10 μ F	GRM21BR71A106KE51	0805	バルクコンデンサ(0.5、0.8、1 mm用)
47 μ F	GRM31CR61A476KE15	1206	バルクコンデンサ(0.5、0.8、1 mm用)
330 μ F	T495D337K010ATE150	2917	バルクコンデンサ(0.5、0.8、1 mm用)
1 nF	GRM033R71C102KA01	0201	0.8/0.5 mmパッケージ用
2.2 nF	GRM033R71A103KA01	0201	0.8/0.5 mmパッケージ用
10 nF	GRM033R71A103KA01	0201	0.8/0.5 mmパッケージ用
0.1 μ F	GRM033C71C104KE14	0201	0.8/0.5 mmパッケージ用

Note:

- これらのガイドラインはFPGAデバイス自体を効果的にデカップリングする方法を示しています。電源が別のPCB上にある場合やインターコネクト (フレックス ケーブルまたはコネクタ)を介して供給される場合、FPGAまでの電力供給が効果的に行われる事を確認してください。『[PolarFire FPGA Datasheet](#)』に記載されている推奨動作条件に従ってください。
- 各VDDAUXxに必要なデカップリング コンデンサです。
- 各GPIOバンクに必要なデカップリング コンデンサです。
- 各HSIOバンクに必要なデカップリング コンデンサです。

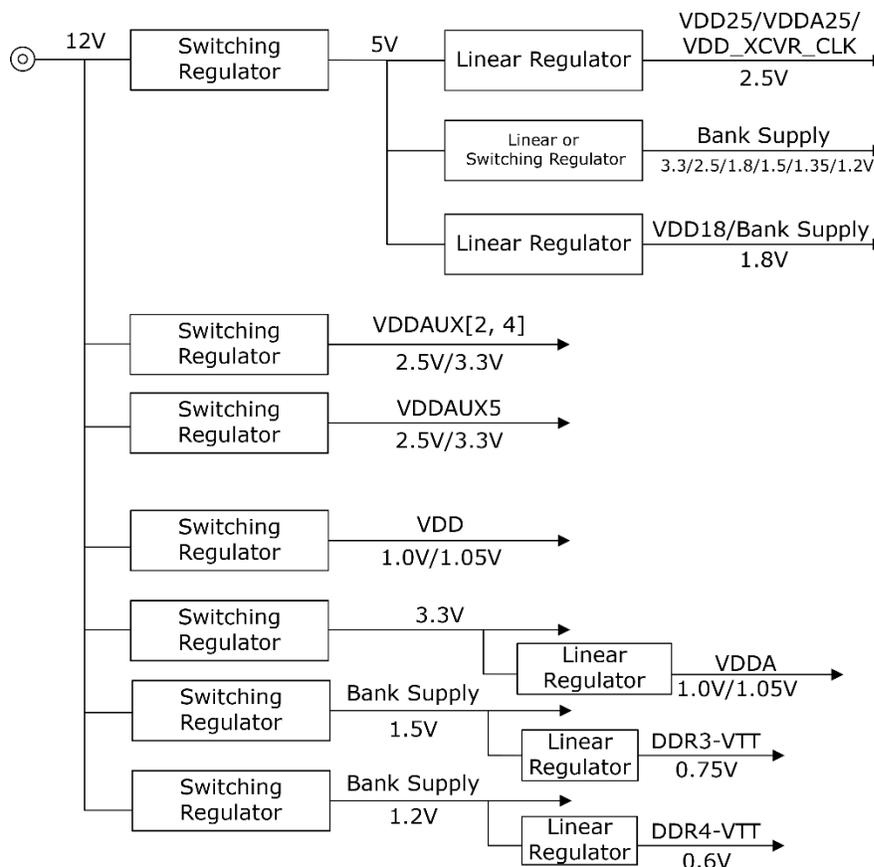


Important: 他社製の同等のコンデンサの値を使う事もできます。デカップリング コンデンサのパッケージングの詳細は、『[PolarFire FPGA Packaging and Pin Descriptions User Guide](#)』を参照してください。

1.1.2. 電源のトポロジ (質問する)

PolarFire FPGAには複数の電源が必要です。図1-2に、1つの12V電源から必要な複数の電源を生成する電源トポロジの例を示します。この例はDDR3およびDDR4インターフェイスを備えたPolarFire MPF300-FCG1152デバイスに基づきます。

図1-2. 電源トポロジの例



下表に、PolarFire FPGAの電圧レールに推奨されるMicrochip社電源レギュレータの一覧を示します。

表1-10. 電源レギュレータ

電圧レール	製品番号	説明	電流
5V	MIC24055YJL-TR	IC REG BUCK ADJ 12A SYNC 28QFN	12A
VDD (1.0V)	MIC45212-2YMP-T1	DC DC CONVERTER 0.8-5.5V 77W	14A
VDDIO (3.3V)	MIC24055YJL-TR	IC REG BUCK ADJ 12A SYNC 28QFN	12A
VCCIO_HPC_VADJ	MIC24046YFL-TR	IC REG BUCK PROG 5A SYNC 20VQFN	5A
DDR4 (1.2V)	MIC23303YML-T5	IC REG BUCK ADJ 3A SYNC 12DFN	3A
DDR3 (1.5V)	MIC23303YML-T5	IC REG BUCK ADJ 3A SYNC 12DFN	3A
VDDAUX[2.4]	MIC23303YML-T5	IC REG BUCK ADJ 3A SYNC 12DFN	3A
VDDAUX5	MIC23303YML-T5	IC REG BUCK ADJ 3A SYNC 12DFN	3A
VTT_DDR4 (0.6V)	MIC5166YML-TR	IC PWR SUP 3A HS DDR TERM 10MLF	3A
VTT_DDR3 (0.75V)	MIC5166YML-TR	IC PWR SUP 3A HS DDR TERM 10MLF	3A
VDDIO (1.8V)	MIC24046YFL-TR	IC REG BUCK PROG 5A SYNC 20VQFN	5A
VDDA (1.0V)	MIC69502WR	IC REG LINEAR POS ADJ 5A SPAK-7	5A

…続き

電圧レール	製品番号	説明	電流
VDD25、VDDA25、VDD_XCVR_CLK	MIC69502WR	IC REG LINEAR POS ADJ 5A SPAK-7	5A
VDD18	MIC69502WR	IC REG LINEAR POS ADJ 5A SPAK-7	5A

1.1.3. 未使用の電源 (質問する)

図1-3は、電源を使用しない時、またシステムのリークと消費電力を低減するために電源を構成する方法を示しています。

図1-3. オプション1(未使用時の接続)

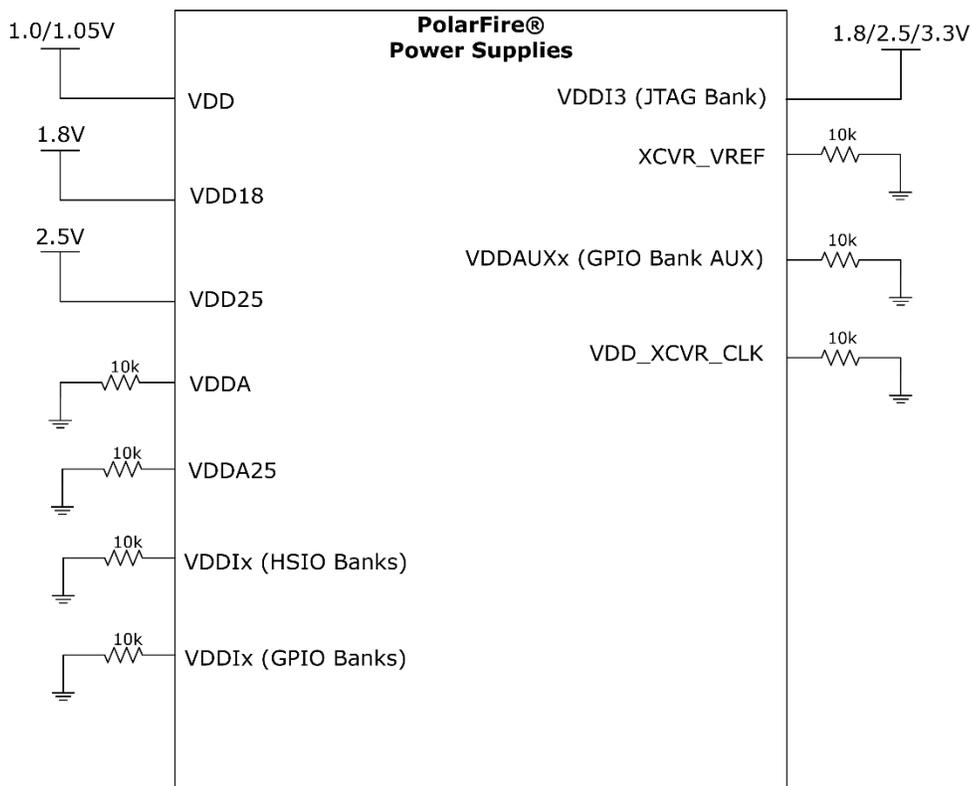
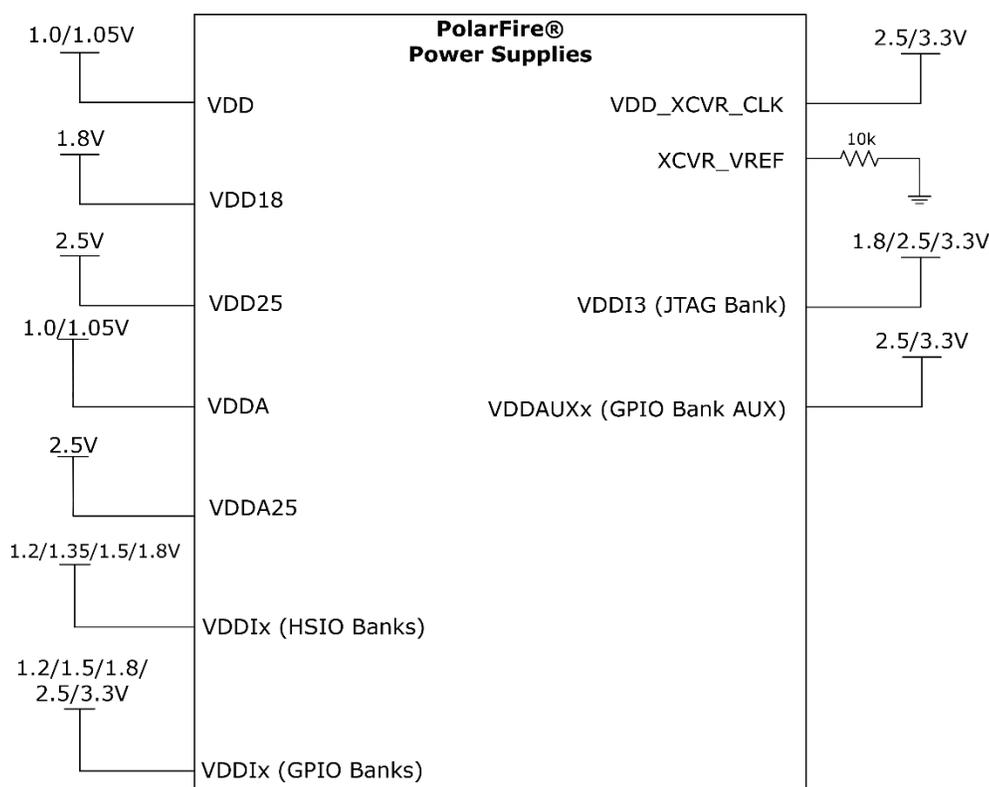


図1-4も未使用の電源の電源構成を示しています。このオプションはシステムに含まれる各種電源を後で投入する予定があり、I/Oが使用されていない時に利用できます。

図1-4. オプション2(未使用時の接続)



Important: ボードレベルの配線を簡素化するため、必要に応じて複数の10 kΩ抵抗を使う、または複数の電源を1つの10 kΩ抵抗にまとめてVSSに接続する事もできます。

1.1.4. ピン割り当て表 [\(質問する\)](#)

PPAT(パッケージピン割り当て表)はPolarFire FPGAのウェブページの「Documentation」から入手できます。PPATには推奨されるDDRピン配置、XCVR-0のPCI EXPRESSの機能、IO CDRのDDRレーン情報、一般的なIODインターフェイス ピン配置、パッケージピンの未使用条件に関する情報が含まれています。

1.2. I/Oグリッチ [\(質問する\)](#)

PolarFireデバイスのGPIO/HSIO出力のパワーアップ中またはパワーダウン中にグリッチが発生する事があります。グリッチはデバイスが動作状態に到達する前または後に発生する可能性があります。これらのグリッチはLVDS出力またはトランシーバI/Oでは観測されません。どのグリッチタイプでも信頼性の問題は発生しません。発生する可能性のあるグリッチには以下の3種類あります。

- 寄生グリッチは、デバイスが動作状態に到達する前に、GPIOまたはHSIOで発生する事があります。このグリッチは最大で1V、幅0.4 msです。このタイプのグリッチは通常無視できます。これらのタイプのグリッチが無視できない場合、GPIOピンまたはHSIOピンのクリティカルな信号に100Kのプルダウン抵抗を¹使う事を推奨します。推奨する対策を実施すれば、グリッチは観測されなくなります。これは消去済み/ブランクのユニットでもプログラム済みのユニットでも発生する可能性があります。

¹ HSIOまたはGPIOのリセットまたはクロックのような、別のデバイスに入力されるクリティカルな出力を指します。

- パワーオン シーケンスまたはブートアップ時にGPIOとHSIOで別のタイプのグリッチが発生する事があります。これは、入力、出力、または双方向I/Oで弱いプルアップ抵抗が既定値で有効になっている事が原因で起こります。このグリッチを軽減するには、Libero® SoC I/O EditorまたはPDC制約を使って、そのI/Oの出力バッファに弱いプルダウンをプログラムします。これは消去済み/ブランクのユニットでもプログラム済みのユニットでも発生する可能性があります。
- 最後のタイプのグリッチはデバイスが動作状態に到達した後に起こる可能性があるものです。また、消去済み/ブランクのユニットでもプログラム済みのユニットでも発生する可能性があります。このタイプのグリッチはVDDI電源とVDDAUX電源の電源投入および遮断シーケンスに関連しています。このグリッチは、GPIOの場合、VDDIが1.5Vまたは1.8Vの場合のみ発生し、電源投入時は最大1V (0.8 ms幅)、電源遮断時は最大1.8V (1 ms幅)です。HSIOの場合、VDDIが1.5Vまたは1.8Vの場合のみ発生し、電源投入時は最大600 mV (1.5 ms幅)、電源遮断時は220 mV (200 μs幅)です。

動作状態に到達した後のグリッチを軽減するには、下表の推奨事項に従ってください。

表1-11. 電源シーケンス¹(GPIO)

GPIOのユースケース		グリッチを軽減するための電源投入シーケンスの要件 ²	グリッチを軽減するための電源遮断シーケンスの要件 ²
VDDI	VDDAUX		
1.2V	2.5V	グリッチは発生しない	グリッチは発生しない
1.5V	2.5V	VDDAUXの電源投入は、同じバンクのVDDIよりも前に行う	<ul style="list-style-type: none"> • VDDIの電源遮断は、VDDAUXよりも前または同時に行う • VDDIの電源遮断は、VDDまたはVDD25よりも前に行う
1.8V	2.5V	VDDAUXの電源投入は、同じバンクのVDDIよりも前に行う	<ul style="list-style-type: none"> • VDDIの電源遮断は、VDDAUXよりも前または同時に行う • VDDIの電源遮断は、VDDまたはVDD25よりも前に行う
2.5V	2.5V	VDDAUXとVDDIの電源投入を同じレギュレータから行う	グリッチは発生しない
3.3V	3.3V	VDDAUXとVDDIの電源投入を同じレギュレータから行う	グリッチは発生しない

表1-12. 電源シーケンス¹(HSIO)

HSIOのユースケース		グリッチを軽減するための電源投入シーケンスの要件 ²	グリッチを軽減するための電源遮断シーケンスの要件 ²
VDDI	VDD18		
1.2V	1.8V	グリッチは発生しない	グリッチは発生しない
1.5V	1.8V	VDD18の電源投入は、同じバンクのVDDIよりも前に行う	VDDIの電源遮断は、VDD18、VDD、およびVDD25よりも前に行う
1.8V	1.8V	VDD18の電源投入は、同じバンクのVDDIよりも前に行う ³	VDDIの電源遮断は、VDD18、VDD、およびVDD25よりも前に行う

Note:

1. 推奨する対策を実施すれば、グリッチは観測されなくなります。
2. 上述以外の電源投入シーケンスで寄生グリッチを軽減する事はできません。寄生グリッチを軽減するには、GPIOピンまたはHSIOピンのクリティカルな信号に寄生グリッチ軽減用の100Kのプルダウン抵抗を追加してください。
3. VDDI = 1.8V、VDD18 = 1.8Vの場合、表1-12に記載した電源シーケンス要件を満たすには、VDDIとVDD18を2つの別々の電源から電力を供給する必要があります。これにより、潜在的なI/Oグリッチを軽減できます。



Important: JTAGプログラミング中に電源が遮断された場合、GPIOピンでグリッチが発生する可能性があります。このグリッチはVDDAUX、VDD、VDDI3より前にVDDIの電源を遮断する事で軽減できます。

1.3. ユーザーI/O (質問する)

PolarFire FPGAには、HSIOとGPIOの2つのタイプのI/Oバッファがあります。HSIOバッファは電源電圧1.2V~1.8Vのシングルエンド バッファに最適化されています。GPIOバッファは1.2V~3.3Vのシングルエンドおよび真の差動インターフェイスをサポートしています。



Important: HSIOバンクがLVDSレシーバとして構成される場合、該当のI/Oは100Ωの抵抗を使って外部で終端する必要があります。

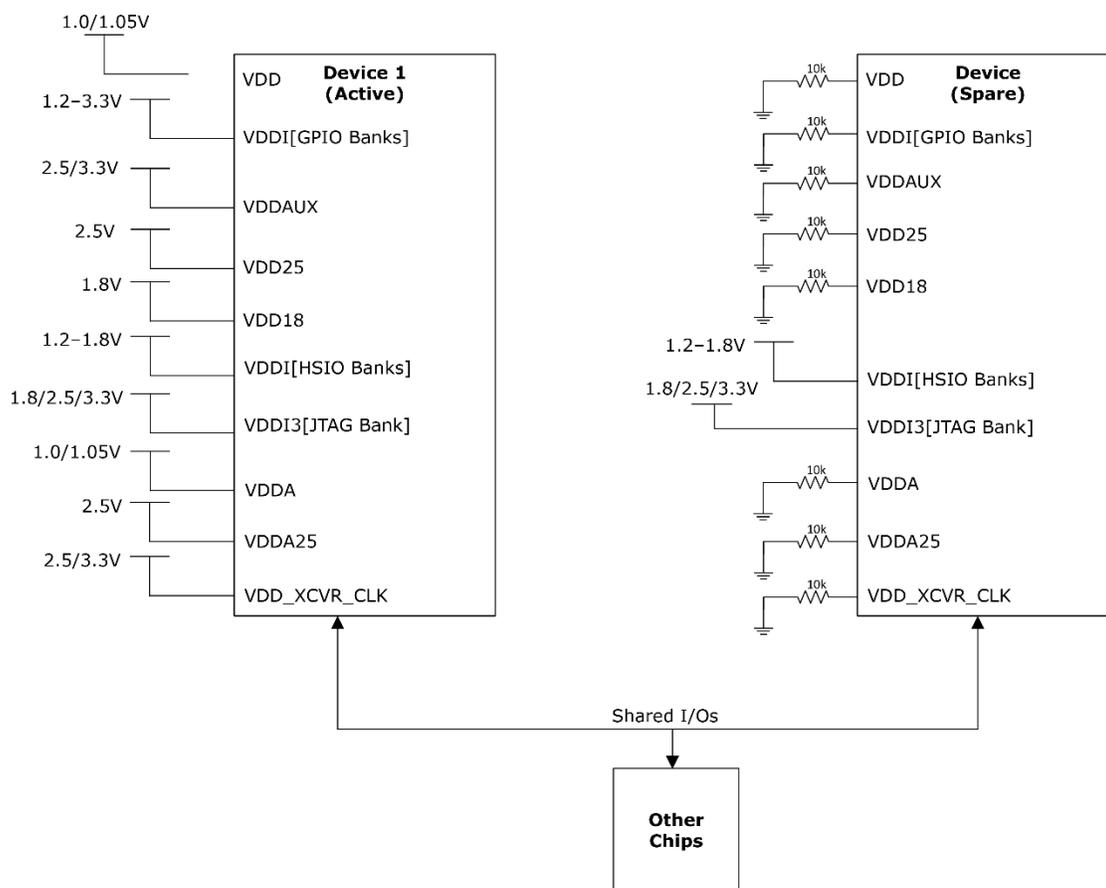
I/Oバッファの主な特長と規格の詳細は『[PolarFire FPGA Packaging and Pin Descriptions User Guide](#)』と『[PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide](#)』を参照してください。

1.3.1. コールドスペア (質問する)

PolarFireデバイスはGPIOとHSIOのコールドスペアをサポートしています。コールドスペアは下図のようにデバイスを接続する事で実装されます。システムボードには2つのPolarFireデバイスが並列に搭載されており、これらのデバイスはI/Oを共有しています。ESD保護ダイオードを介したI/Oリークを防止するため、スペアデバイスのHSIO VDDIバンクには電源が供給されています。その結果、スペアデバイスの低消費電力状態と保護状態が確保されます。全ての電源を投入する事で、スペアデバイスをアクティブ デバイスに変更できます。HSIO VDDIバンクを除く全ての電源を遮断する事で、アクティブ デバイスをスペアデバイスに変更できます。

一般的なコールドスペア アプリケーションでは、下図に示すように、I/O接続を共有する2つの並列のデバイスを統合します。

図1-5. コールドスペア



➔ Important: トランシーバピンはコールドスペア機能をサポートしていません。

1.3.2. ホットソケット(GPIOのみ) (質問する)

ホットソケット (ホットスワップ、ホットプラグインとも呼ぶ)は、デバイスの電源がOFFの状態でのI/Oに電圧が検出された場合のPolarFire FPGAの損傷を防止します。また、有効な電源がない状態でデバイスのI/Oが接続された場合に、この機能特性はシステムのそれ以外の部分で発生する可能性のある乱れを防ぐのにも役立ちます。

ホットソケットはGPIOのみでサポートされています。ホットソケットでは、GPIOはハイインピーダンス(hi-Z)状態になります。

GPIOは電源が有効になるまで以下のハイインピーダンス状態を維持します。

- VDDAUXは1.6V以上
- VDDIxは0.8V以上
- VDDとVDD25が共にHighで、PolarFire FPGAコントローラがグローバルI/Oリング信号(IO_EN)をアサートした

➔ Important: TMS、TDI、TRSTB、DEVRST_N、FF_EXIT_Nはホットソケットをサポートしていません。

1.3.2.1. GPIOの過電圧耐性 (質問する)

GPIOが以下の設定で構成されている場合、GPIOは過電圧耐性をサポートし、パッドのI/O信号がVDDIx電源よりも高い電位を許容します。

表1-13. 過電圧耐性

規格	OE	クランプ ダイオード	VREF(入力)	弱いプルアップ/プルダウン抵抗	終端抵抗	ホットプラグ
PCI	x	ON	ON	ON	ON	ディセーブル
GPIO	1	ON	ON	ON	ON	ディセーブル
	0	OFF	OFF	OFF	OFF	イネーブル

過電圧耐性に関する推奨動作条件の詳細は『[PolarFire FPGA Datasheet](#)』を参照してください。

1.4. クロック (質問する)

PolarFireデバイスには、フリーランニング クロックを生成するために2つのRCオシレータ(2 MHzと160 MHz)が内蔵されています。

これらのクロックにはI/Oパッドがなく、動作に外付け部品を必要としません。

PolarFireデバイスで使用可能なRCオシレータの数を下表に示します。

表1-14. RCオシレータの数

リソース	サポートされるレンジ(MHz)	MPF100	MPF200	MPF300	MPF500
内蔵オシレータ	2	1	1	1	1
	160	1	1	1	1

異なるデバイスサイズに移植する可能性のあるデザインをターゲットとする場合、リージョナル クロックの影響を理解しておく必要があります。特定のダイをターゲットにする場合、ボードの設計を最終的に確定する前にピンプランニングを十分に検討する事が重要です。PolarFireデバイスのクロックの詳細は、『[PolarFire Family Clocking Resources User Guide](#)』を参照してください。

PLL、DLL、グローバル クロック ネットワークへの推奨されるクロック入力の詳細は『[Packaging Pin Assignment Table \(PPAT\)](#)』を参照してください。

1.5. リセット (質問する)

DEVRST_N(デバイスリセット)は専用のデバイスリセット入力パッドで、専用のI/Oバンクから電力が供給されます。DEVRST_Nパッドはデバイス上の全てのハードブロックのリセットポートにハード接続されます。DEVRST_Nがアサートされると、ユーザー コンフィグレーション データのPCIeとトランシーバへの読み込み、ファブリックLSRAMとμSRAMの再初期化を含め、デバイスの完全な再初期化が行われます。

堅牢なシステムを設計するには、専用のDEVRST_Nピン、または任意のGPIO/HSIOを使った汎用のリセット信号をグローバル システムレベル リセットとして使う事ができます。

以下の場合、DEVRST_Nをデバイスのウォームリセットとして使う事ができます。

- ユーザー設計において、自動初期化されたファブリックRAMまたはPCIeコンフィグレーションが動作中に変更される場合。
- ユーザー設計において、PCIe、トランシーバ、またはユーザー暗号が使用されている場合。

これ以外の全てのユースケースでは、GPIO/ HSIO IOを使った汎用リセット信号を使う事を推奨します。その方がリセット解除の設計時間が大幅に短縮されるためです。

専用のDEVRST_Nをウォームリセットに使わない場合、以下の手法の1つを使ってDEVRST_Nピンを構成する必要があります。

- PORチップまたは外部デバイスで信号を駆動し、システム/クロックが安定してチップの電源が適切に投入されるまで、DEVRST_Nをアサートし続けます。
- DEVRST_Nを、他のピンと共有せずに1本のピンに付き1つの1 k Ω 抵抗を介して、VDDI3に接続します。
 - この場合、ユーザー設計がパワーオン リセットから解除される前にデバイスに送られる全てのクロックが安定している事を確認する必要があります。電源投入後、ファブリック設計が有効になるまでに必要な最短の時間の詳細は、『[PolarFire FPGA Datasheet](#)』（「Power-Up To Functional」）を参照してください。

1.6. DDR (質問する)

PolarFireデバイスはDDR3、DDR3L、LPDDR3、DDR4をサポートしています。PolarFireデバイスのDDRサポートの詳細は『[PolarFire FPGA Datasheet](#)』を参照してください。

DDRインターフェースの信頼性はレイアウトの品質によって異なります。ボードのレイアウトと配線の詳細は『[PolarFire Family Memory Controller User Guide](#)』を参照してください。

1.7. デバイスのプログラミング (質問する)

PolarFireデバイスは、専用インターフェイスであるJTAGまたはSPIのどちらかを使ってプログラミングされます。これらの2つのインターフェイスは以下のプログラミング モードをサポートしています。

- JTAGプログラミング
- SPIマスタモード プログラミング
- SPIスレーブモード プログラミング

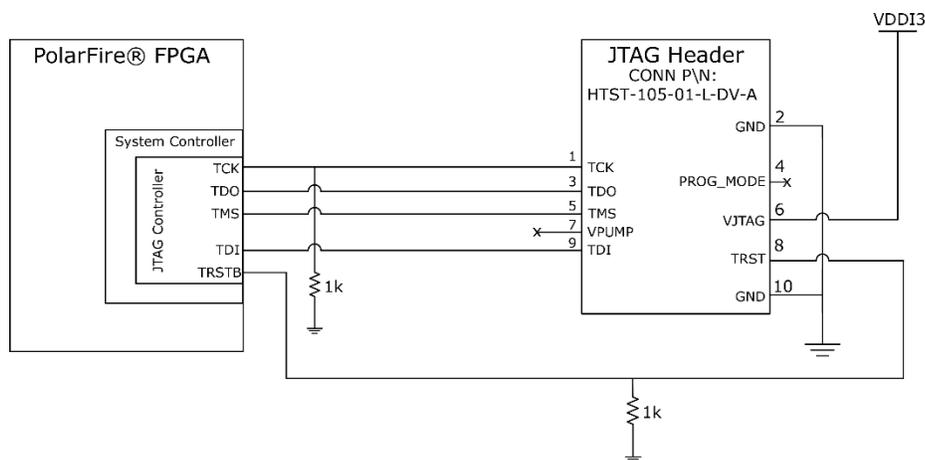
PolarFire FPGAは、SPIマスタモードによる内部システム コントローラ、またはJTAG/SPIインターフェイスによる外部マスタを使ってプログラミング モードをサポートしています。各プログラミング モードのハードウェア接続の詳細は『[PolarFire FPGA and PolarFire SoC FPGA Programming User Guide](#)』を参照してください。

1.7.1. JTAGプログラミング (質問する)

JTAGインターフェイスは、デバイスのプログラミングとテスト、ファームウェアのデバッグに使われます。デバイスリセット(DEVRST_N)がアサートされると、JTAG I/Oにアクセスできなくなります。JTAG I/Oはバンク3のVDDIから電力が供給されます。

下図に、PolarFireデバイスのJTAGプログラミング モードのボードレベルの接続を示します。

図1-6. JTAGプログラミング



下表にJTAGピンの名称と説明を示します。

表1-15. JTAGピン

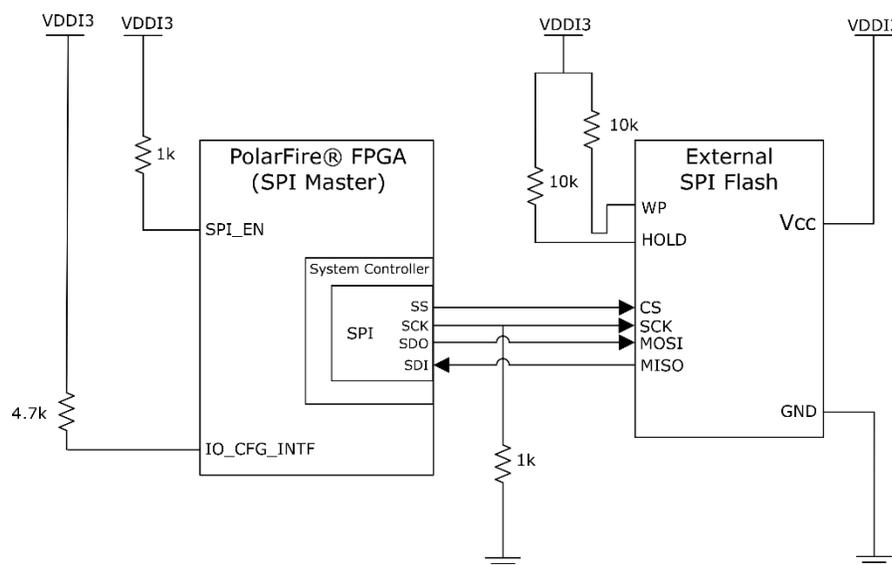
ピン名	方向	未使用時	説明
TMS	入力	DNC	JTAGテストモード選択
TRSTB	入力	1 kΩの抵抗を介してVDDI3に接続する必要がある。	JTAGテストリセット。 デバイス動作中はLowに維持する必要がある。
TDI	入力	DNC	JTAGテストデータ入力。
TCK	入力	10 kΩの抵抗を介してVSSに接続する必要がある。	JTAGテストクロック
TDO	出力	DNC	JTAGテストデータ出力。

1.7.2. SPIマスタモードプログラミング (質問する)

組み込みシステム コントローラにはプログラミングのための専用のSPIブロックがあり、マスタモードまたはスレーブモードで動作できます。マスタモードでは、PolarFireデバイス インターフェイスを使って外部SPIフラッシュからプログラミング データをダウンロードします。スレーブモードでは、SPIブロックはリモートデバイスと通信し、リモートデバイスがデバイスへのプログラミング データのダウンロードを開始します。

下図は、PolarFireデバイスのSPIマスタモード プログラミングにおけるボードレベルの接続を示しています。

図1-7. SPIマスタモードプログラミング



下表に、SPIマスタモードのプログラミング ピンの一覧を示します。

表1-16. SPIマスタモードプログラミング ピン

SPIピン名	方向	未使用時	説明
SCK	双方向	10 kΩ抵抗を介してVSSに接続する。	SPIクロック ¹ 。
SS	双方向	10 kΩ抵抗を介してVSSに接続する。	SPIスレーブ選択 ¹ 。

…続き			
SPIピン名	方向	未使用時	説明
SDI	入力	10 kΩ抵抗を介してVDDI3に接続する。	SDI入力 ¹ 。
SDO	出力	DNC	SDO出力 ¹ 。
SPI_EN	入力	10 kΩ抵抗を介してVSSIに接続する。	SPIイネーブル。 0: 3ステートのSPI出力。 1: イネーブル 抵抗を介してプルアップ/ダウンされるか、外部ソースから動的に駆動される事により、SPI I/Oをイネーブルまたは3ステートにします。
IO_CFG_INTF	入力	10 kΩ抵抗を介してVSSIに接続する。	SPI I/Oの設定。 0: SPIスレーブ インターフェイス 1: SPIマスタ インターフェイス 抵抗を介してプルアップ/ダウンされるか、外部ソースから動的に駆動される事により、共有SPIがマスタであるかスレーブであるかを示します。

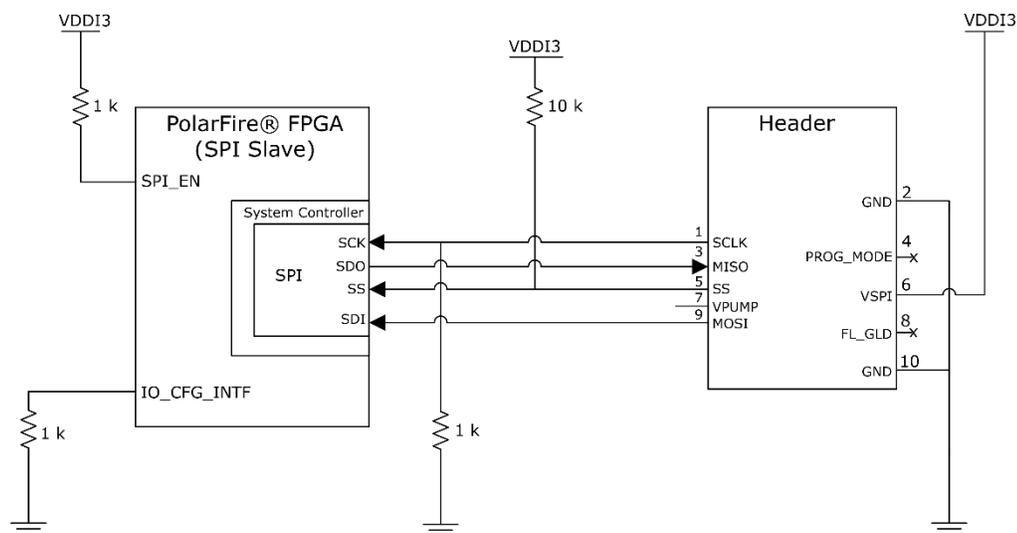
Note:

1. SCK、SS、SDI、SDOピンはシステム コントローラとFPGAファブリック間で共有されます。システム コントローラのSPIが有効化され、マスタとして構成されると、システム コントローラは(デバイスの電源投入後に)SPIの制御をファブリックに渡します。

1.7.3. SPIスレーブモード プログラミング [\(質問する\)](#)

下図は、PolarFireデバイスのSPIスレーブモード プログラミングにおけるボードレベルの接続を示しています。

図1-8. SPIスレーブモード プログラミング



1.7.4. 特殊なピン [\(質問する\)](#)

特殊なピンの詳細は『PolarFire FPGA Packaging and Pin Descriptions User Guide』の表13を参照してください。

1.8. トランシーバ (質問する)

下表に、PolarFireデバイスでサポートされているトランシーバの特長を示します。トランシーバ ブロックはデバイスの右側のコーナーにあります。PolarFireデバイスでは、PCIeインターフェイスをトランシーバのクワッド0でのみサポートしています。

PCIeインターフェイスの実装の詳細は『[PolarFire Family PCI Express User Guide](#)』を参照してください。その他のトランシーバ ベースのインターフェイスと電源の実装の詳細は『[PolarFire Family Transceiver User Guide](#)』を参照してください。

各種PolarFireデバイスでサポートされているトランシーバの数を下表に示します。

表1-17. PolarFireデバイスでサポートされるトランシーバ

デバイス	トランシーバ レーン	TX PLL	参照クロックI/O
MPF100	8	6	12
MPF200	16	11	22
MPF300	16	11	22
MPF500	24	15	30

サポートされるI/O規格の詳細は『[PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide](#)』を参照してください。

1.8.1. 参照クロック (質問する)

トランシーバの参照クロックは、送信機能用に各送信PLLへ、受信CDR(クロックデータ リカバリ)用に各レシーバレーンへ分配されます。

1.8.1.1. トランシーバの参照クロックの要件 (質問する)

トランシーバの参照クロックの要件は以下の通りです。

- 参照クロックに差動クロック入力を供給する場合、以下のようにします。
 - トランシーバの参照クロックピンについてODTを有効にする必要があります。
 - レンジは20 MHz~400 MHzである必要があります。
- I/O規格の許容範囲内である必要があります。参照入力バッファが提供されており、ボードに外付け部品を加える事なくこれらの入力規格をサポートする事が期待されています。LVCMOS25、SSTL18、LVDS25、HCSL25等の参照I/O規格がサポートされています。詳細は『[PolarFire Family Transceiver User Guide](#)』を参照してください。

詳細なPHY仕様は『[PCI Express Base specification Rev 2.1](#)』を参照してください。また、『[PCIe Add-in Card Electro-Mechanical \(CEM\)](#)』仕様も参照してください。

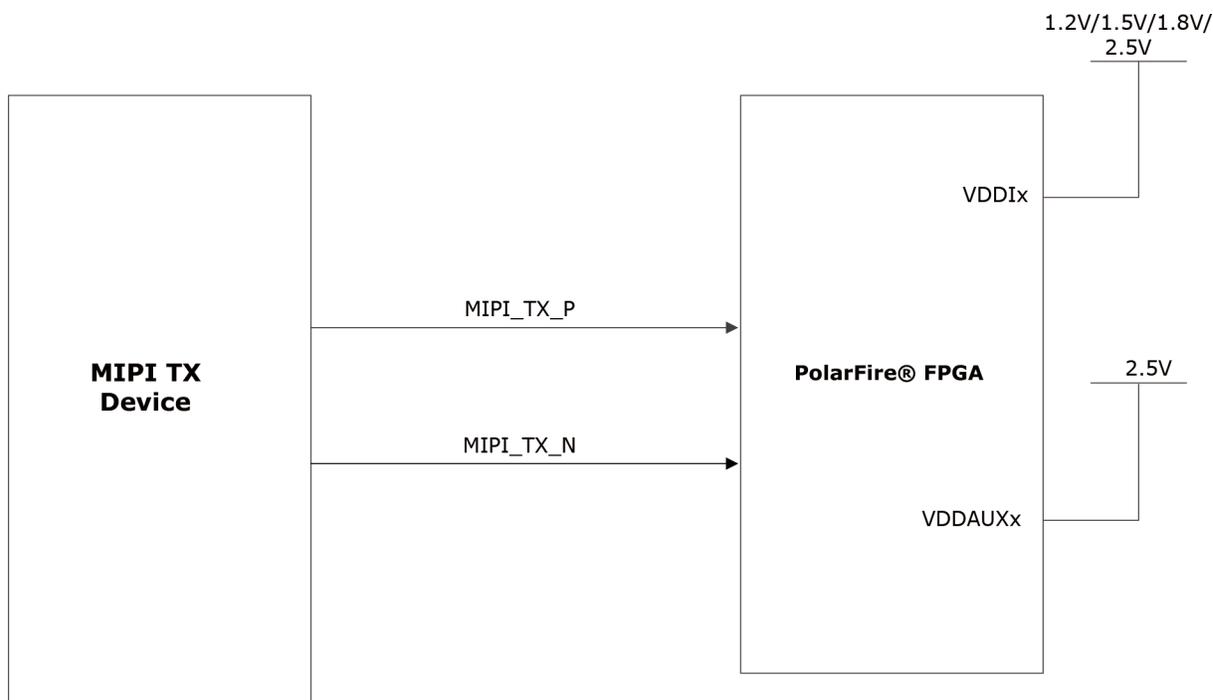
1.9. MIPIハードウェア設計ガイドライン (質問する)

以降のセクションでは、PolarFireデバイスのMIPI RXおよびTXインターフェイスのガイドラインについて説明します。

1.9.1. MIPI RX (質問する)

MIPI RXはGPIOバンクのみでサポートされています。対応するバンク電圧(VDDI)とVDDAUX電圧は下図に示すように接続する必要があります。

図1-9. MIPI RXの接続



MIPI RX信号接続のリストは以下の通りです。

- 1つのDDR_Lane内に4つのデータとクロックが存在する必要があります。
- 4つを超えるデータ信号が使用可能な場合、データ信号を隣接するDDR_Laneに接続します。
- MIPI RXクロックはCLKINピンに接続する必要があります。

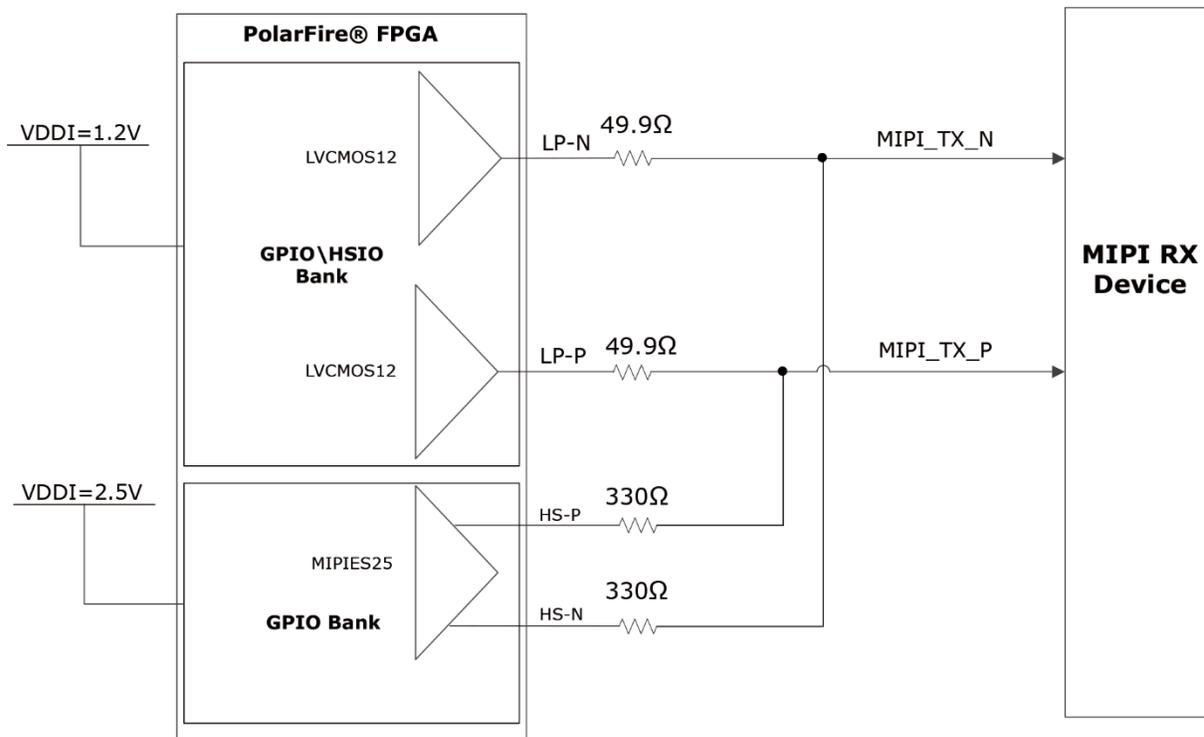
DDR_Laneの詳細は『[Package Pin Assignment Tables \(PPAT\)](#)』を参照してください。

1.9.2. MIPI TX [\(質問する\)](#)

MIPI LP(低消費電力)信号は1.2V GPIO/HSIOバンク電源に接続する必要があります。高速信号は2.5V GPIOバンク電源に接続する必要があります。LPスタブを最小にするため、HS(ハイスピード)ピンとLP(低消費電力)ピンは隣接ピンで選択します。HSデータとクロック信号は1つのDDR_Laneに含まれる必要があります。DDR_Laneの詳細情報は『[Package Pin Assignment Tables \(PPAT\)](#)』を参照してください。

下図に示す通り、MIPI TX規格はLP信号とHS信号について、抵抗分圧器ネットワークを使って実装されます。下図に示す抵抗値は最大1 Gbpsのスループットを提供します。

図1-10. MIPI TXの接続



Important: レイアウトに進む前に、LiberoツールでPDC検証を実行してください。MIPI RXの電気的特性の詳細は『[PolarFire FPGA Datasheet](#)』を参照してください。

MIPIレイアウトガイドラインの詳細は[3.1. MIPI](#)を参照してください。

1.10. ACおよびDC結合 (質問する)

リンク検出を可能にするには、PCIeレーンの各送信チャンネルをAC結合する必要があります。AC結合に使うコンデンサはデバイスの外部に配置し、データ信号内で同一のビット列が長く連続する場合でも信号に含まれる低周波成分の過度の減衰を避けられるよう、十分な容量にする必要があります。非PCIeアプリケーションでは、デバイス間の共通モードレベルのミスマッチを防ぐため、Microchip社はPolarFireデバイスがAC結合された信号入力を受け取る事を推奨しています。リンク信号品質を最大化するため、ACカップリングコンデンサは適切な値(0.1 μF等)を選択し、『[PolarFire FPGA Datasheet](#)』の電気的仕様に準拠する必要があります。

データシートで定義された低いデータレートの条件下で、PolarFireトランシーバTXおよびRXインターフェイスはコンフィグレーションオプションを通じてDC結合をサポートしています。PolarFireトランスミッターを使ってDC結合モードでPolarFireレシーバを駆動する場合、トランスミッターには最も低い共通モード設定を選択してください。

1.11. ブラウンアウト検出 (質問する)

PolarFire FPGAの機能は、VDDがデータシートに規定された推奨レベルを上回っている場合にのみ保証されます。VDDが推奨最低動作電圧を下回ると、ブラウンアウトが発生します。ブラウンアウトが発生した場合、デバイスの動作が信頼できなくなる可能性があります。電源が推奨値に戻った後も、デバイスの一部がブラウンアウト中に機能を失っている可能性があるため、設計が正常に動作しない可能性があります。



Important: PolarFireの電源(VDD、VDD18、VDD25を含む)でのブラウンアウト検出には、外部のブラウンアウト検出回路を使ってください。

2. ボード設計のチェックリスト (質問する)

本章では、Microchip社PolarFire FPGAを使ってハードウェアを設計する場合のハードウェア ボード設計のチェックリストを示します。本章で提供するチェックリストは、設計エンジニアによる設計プロセスを支援する大まかなチェックリストです。

2.1. 前提条件 (質問する)

本章を読む前に、必ず以下の章をお読みください。

- [はじめに](#)
- [3 補遺: 一般的なレイアウト設計手法](#)

このチェックリストはガイドラインとしてのみお使いください。PolarFireファミリはLE(ロジック エレメント)数が100K~500KのFPGAで構成されています。

2.2. 設計チェックリスト (質問する)

下表に設計エンジニアがシステムを設計する際に注意すべき各種チェック項目の一覧を示します。

表2-1. 設計チェックリスト

ガイドライン	はい/いいえ	備考
前提条件		
『PolarFire FPGA Datasheet』を参照してください。 『UG0722: PolarFire FPGA Packaging and Pin Descriptions User Guide』を参照してください。		
PolarFire評価用キットのボードレベル回路図を参照してください。		
デバイスの選択		
PolarFire FPGAで利用可能なデバイスのバリエーションを確認します。 I/Oピン数、トランシーバ、パッケージ、PLL(位相ロックループ)、速度グレードに基づいてデバイスを選択します。		
PolarFireの文書でデバイスのエラッタを確認します。		
設計チェックリスト		
電力解析 PolarFire Power Estimatorをダウンロードし、パワーバジェットをチェックします。		
電源チェックリスト 使用する電源レールについては「1.1. 電源」を、未使用のレールについては図1-3と図1-4を参照してください。		
デカップリング コンデンサ 1.1.1. PolarFireデカップリング コンデンサに従います。推奨コンデンサからの逸脱についてはPI解析を実行します。		
クロック		
動的位相シフトポートの詳細は『PolarFire Family Clocking Resources User Guide』の表「Dynamic Phase Shift Ports」を参照してください。 XCVR参照クロックのレンジは20 MHz~400 MHzです。		

…続き		
ガイドライン	はい/いいえ	備考
<p>グローバル クロック ネットワークは以下のいずれかによって駆動されます。</p> <ul style="list-style-type: none"> 推奨されるクロック入力(CLKIN_z_w) 内蔵オシレータ CCC (PLL/DLL) XCVRインターフェイス クロック <p>PLL、DLL、グローバル クロック ネットワークへの推奨されるクロック入力の詳細は『Packaging Pin Assignment Table (PPAT)』を参照してください。</p> <p>高速I/Oクロック</p> <p>高速I/Oクロック ネットワークはI/OまたはCCCによって駆動されます。高速I/Oクロックはハードワイヤード接続を介して隣接するCCCの参照クロック入力に供給されます。</p> <p>CCC</p> <p>CCCはPLLまたはDLLクロック出力を持つように構成され、高速I/Oクロック ネットワークを駆動します。</p>		
<p>GB(グローバル バッファ)は専用のグローバルI/O、CCC、またはファブリック(通常のI/O)配線を通じて駆動されます。グローバル ネットワークは複数のGBで構成され、低スキューのクロック信号または高ファンアウトのネットを分配します。</p> <p>専用のグローバルI/OはGBを直接駆動し、外部クロック入力を(遅延を最小限に抑えるために)内部グローバル クロック ネットワークに接続するための主要なソースとなります。</p> <p>グローバル クロック ネットワークの詳細は『PolarFire Family Clocking Resources User Guide』を参照してください。</p>		
<p>リセット</p> <p>DEVRST_Nとユーザーリセットの詳細は「1.5. リセット」を参照してください。</p>		
<p>DDRインターフェイス</p> <p>DDRの配線とトポロジの詳細は『PolarFire Family Memory Controller User Guide』を参照してください。</p> <p>プログラミングとデバッグの方式をチェックします。</p> <p>プログラミングとデバッグの詳細は「1.7. デバイスのプログラミング」を参照してください。</p>		
<p>XCVR</p> <p>XCVRの詳細は『PolarFire Family Transceiver User Guide』を参照してください。</p> <p>PCB上の主なコンポーネントの暫定的配置を評価するには『PolarFire FPGA Packaging and Pin Descriptions User Guide』のバンク位置の図を参照してください。</p>		
<p>IOD</p> <p>I/Oギアリング インターフェイスでは、適切なI/Oを選択する事により、定義された要件に基づいてクロックとデータを配置します。ユーザーI/Oの配置の詳細は『PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide』を参照してください。</p> <p>汎用IODインターフェイスの実装の詳細は『PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide』を参照してください。</p> <p>配置配線前のガイダンスは『Consolidated IOD Rules』を参照してください。</p>		

2.3. レイアウト チェックリスト (質問する)

下表にレイアウト チェックリストを示します。

表2-2. レイアウト チェックリスト

ガイドライン	はい/いいえ
電源	
全てのデカップリング コンデンサにサイズ0402以下のコンデンサが使われているか。	

…続き	
ガイドライン	はい/いいえ
コア電圧に必要な銅箔の形状や幅が提供されているか。	
各電圧に必要な銅箔の形状や幅と十分な数のビアが提供されているか。	
DDRx参照電源のVREFプレーンはノイズの多いプレーンから分離されているか。	
DDRxコアとVTT電源に十分な数のデカップリング コンデンサが使われているか。	
DDRxで、2つのVTT終端抵抗に対して1つの0.1 μ Fコンデンサが使われているか。	
VTTプレーンの幅は十分か。	
DDRメモリ	
DDRメモリの等長配線に関するベンダー推奨事項は遵守されているか。	
XCVR	
XCVRの等長配線に関するベンダー推奨事項は遵守されているか。	
PCIeインターフェイスにDCブロック(またはAC結合)コンデンサは必要か。	
インピーダンスはXCVRトレースに沿って厳密な制御が維持されているか。	
差動ビアはXCVRトレース インピーダンスに合うように適切に設計されているか。	
DCブロック(またはAC結合)コンデンサのパッドはXCVRトレース インピーダンスに合うように設計されているか。	
誘電体材質	
クリティカルな層について適切なPCB材料が選択されているか。	

3. 補遺: 一般的なレイアウト設計手法 [\(質問する\)](#)

本章では、PolarFireデバイスを組み込んだハードウェアボードのレイアウトに関するガイドラインを提供します。PCBとPolarFireデバイスで期待通りの性能を達成するには、優れたボードレイアウト手法が不可欠です。これらは、低いノイズレベル、シグナルインテグリティ、インピーダンス、電力要件等、高品質で信頼性の高い結果を達成するのに役立ちます。本書に示すガイドラインは、標準的なボードレベル設計手法を補足するものです。

本章はPolarFire FPGAチップに詳しく、デジタルボード設計の経験があり、ラインの理論とシグナルインテグリティについて理解している方を対象としています。

3.1. MIPI [\(質問する\)](#)

ここでは、MIPI RXおよびTXのガイドラインについて説明します。

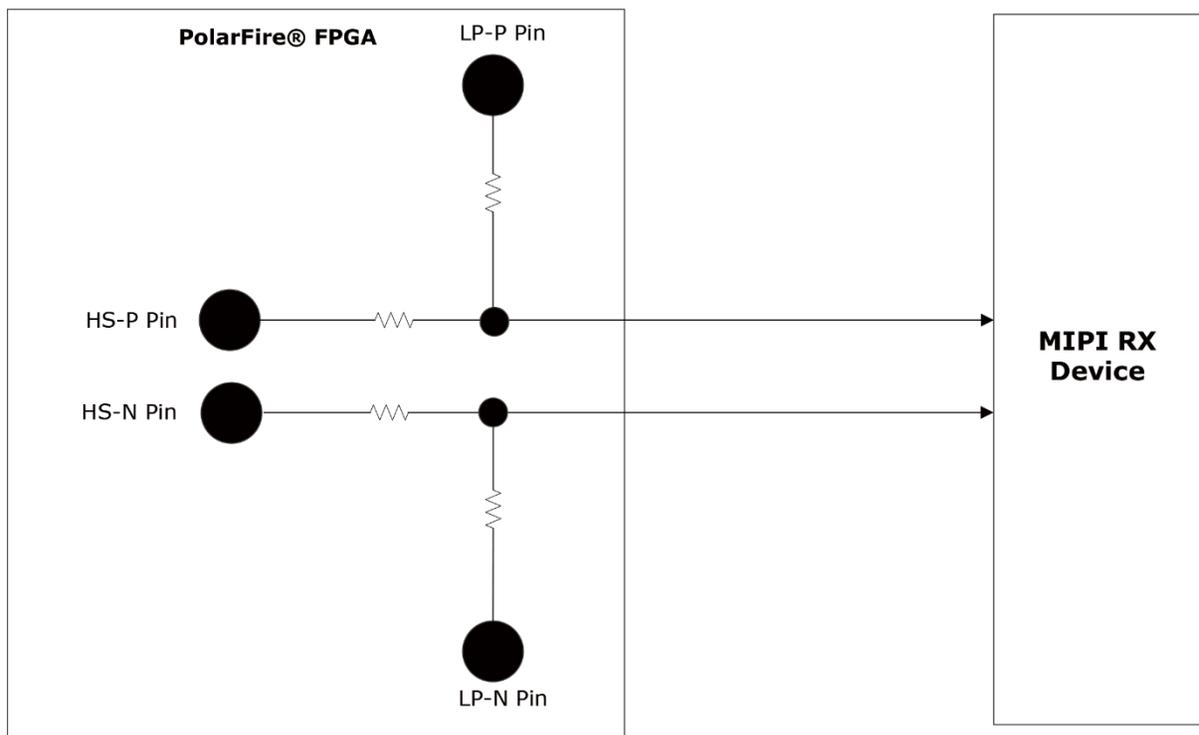
MIPI RXのレイアウトに関するガイドライン

データとクロックは、PCB内で20 mil以内で一致させる必要があります。

MIPI TXのレイアウトに関するガイドライン

図3-1に示すように、LP抵抗とHS抵抗はPolarFireデバイスピンの近くに配置する必要があります。LP信号のPCBスタブ長を最小にするため、HS信号はLP抵抗に配線する必要があります。LP信号スタブは500 mil未満にする必要があります。データレーンとクロックの長さは20 mil以内に等長化する必要があります。サポートされる最大長は8インチです。

図3-1. MIPI TXレイアウト



3.2. トランシーバ [\(質問する\)](#)

PolarFire FPGA トランシーバの関連文書では、システムソリューションが提供されるため、設計者によるシステムの実装が簡単になります。トランシーバは高速シリアル接続、250 Mbps~12.7 Gbpsの内蔵マルチギガビット/マルチプロトコル トランシーバです。これらのトランシーバベースのインターフェ

イスの場合、システム設計者は業界仕様、トランシーバの技術、RF/マイクロ波PCB設計に精通している必要があります。ただし、このPCB設計は知識のある高速デジタルPCB設計者によって評価されます。

3.2.1. レイアウトに関する注意事項 (質問する)

ここでは、PCBレイアウトの設計時に考慮する必要がある差動トレースとスキュー マッチングについて説明します。

3.2.1.1. 差動トレース (質問する)

適切に設計された差動トレースは以下の特性を備えている必要があります。

- インピーダンスのミスマッチがない
- 最小限の挿入損失とリターンロス
- 最小限の差動トレース内のスキュー

上記の特性を満たすように高速差動トレースを配線するには以下の点に注意する必要があります。

- トレースは差動トレース内で厳密な等長配線(スキューの最小化)が行われている必要があります。長さが非対称の場合、差動信号がコモンモード信号に変換されます。
- 差動ペアは差動ペア内のスキューが5 mil未満になるように配線する必要があります。等長配線技術を使って長さを揃える必要があります。

3.2.1.2. スキュー マッチング (質問する)

差動レーンの長さはTXグループとRXグループ内で一致している必要があります。これはXAUI等の特定のプロトコルにのみ適用されます。

図3-3に示すように、差動ペアは構造の内側と外側とで対称に配線する必要があります。

スキュー マッチングの例を下図に示します。

図3-2. スキュー マッチング

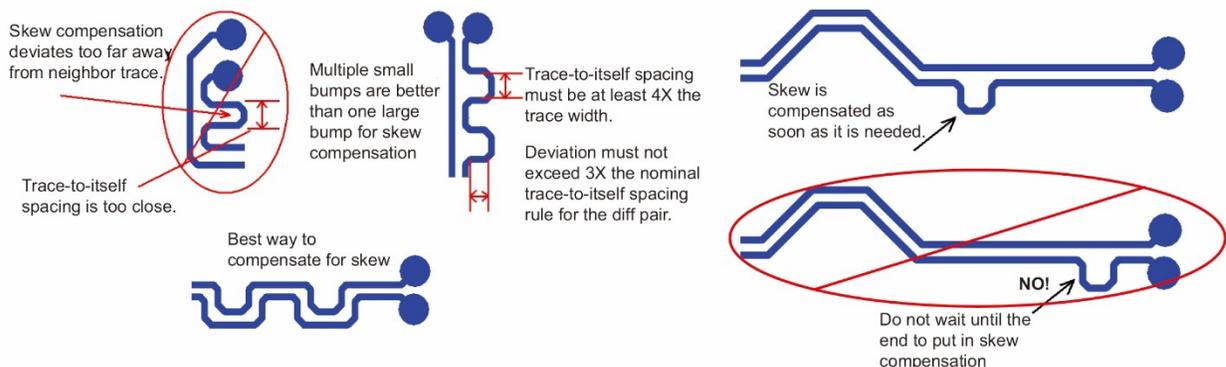


図3-3. 非対称/対称の差動ペア構造の例



速度が上がるほど、表皮効果が支配的になります。表皮効果を抑えるには、トレース幅を広げる必要があります(疎結合の差動トレース)。トレース幅を広げると、誘電損失が増加します。誘電損失を最小限に抑えるため、Nelco 4000-13EP SI等の低DF(損失係数)PCB材料を使います。FR4 PCB材料よりもコストは大幅に高くなりますが、長いトレースの相互接続が必要な場合、FR4 PCB材料では十分なアイ開口部を維持したまま伝送できません。85~100Ωの差動インピーダンスが維持されるようにします。これは、データレートが5 Gbps以上の場合に特に重要なガイドラインです。

ストリップライン配線を使う事で遠端クロストークを解消できます。ただし、この種のストリップライン配線では誘電損失が増加します。誘電損失を最小限に抑えるため、差動ペア間に十分な(導体幅の4倍を超える)スペースがある場合、マイクロストリップとして配線する事を推奨します。最適な配線を確認するには、シミュレーションを実施する事が推奨されます。

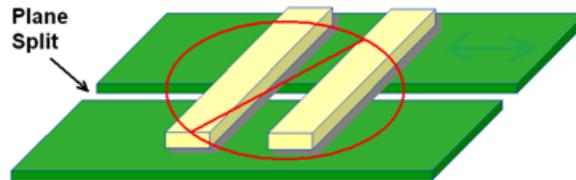
製造前に、これらのPCB材料を使うように製造業者に指示してください。

トランシーバトレースは、干渉の大きいネットまたはクロックトレースから離して配線してください。例えば、MPF300デバイスでは、トランシーバトレースとDDRトレースを隣接させてはなりません。トレースのスタブは避けてください。

表面粗さの小さい(平滑な)銅箔を使う事を推奨します。速度が上がるにつれ、銅箔表面の粗さによる挿入損失が増加します。表皮効果による減衰は、周波数の平方根に比例して増加します。Microchip社では、周波数が2 Gbpsを超える場合、平滑な銅箔を使うようPCB製造業者に指示する事を推奨しています。

リファレンスプレーンの分割は避けてください。全てのトランシーバレーンの参照としてグランドプレーンを使う必要があります。

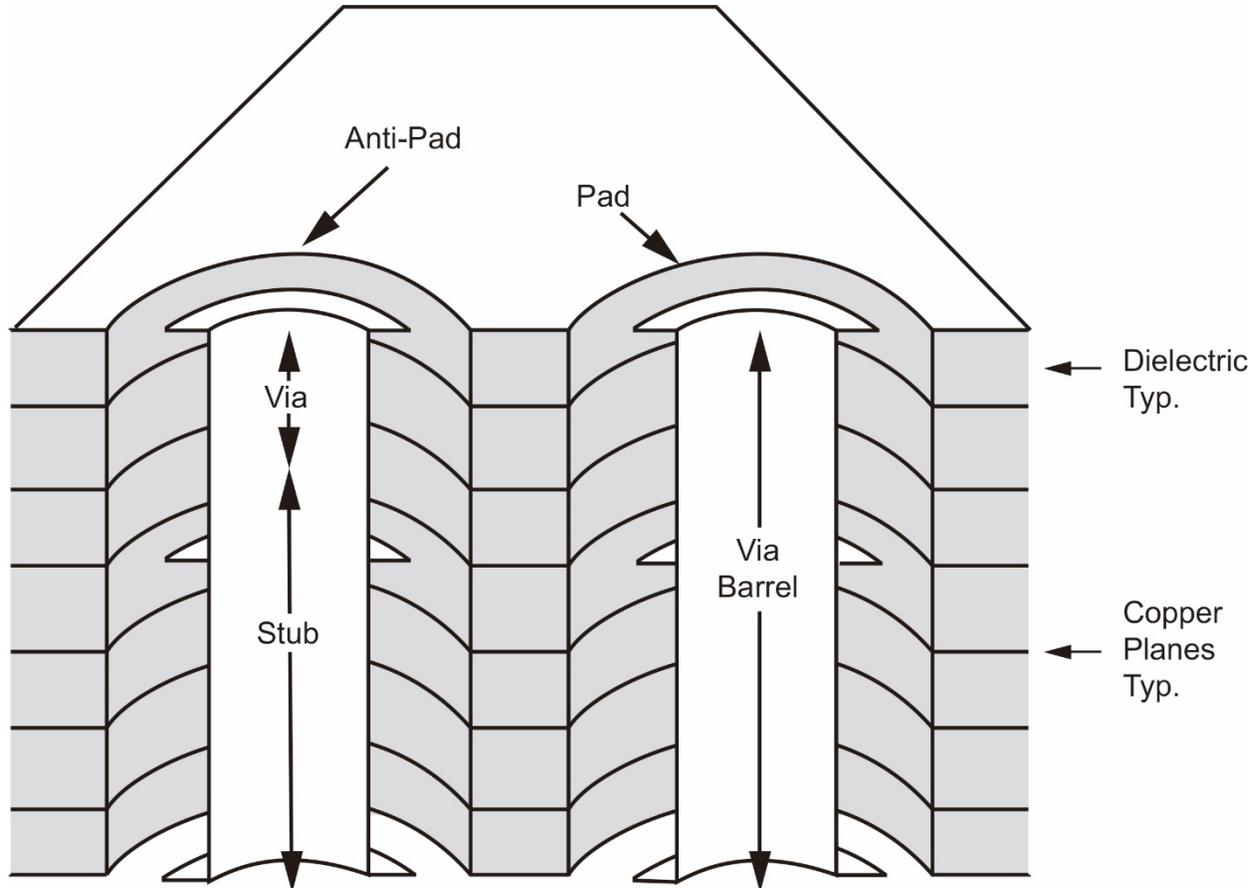
図3-4. 参照用グランドプレーン



3.2.1.3. ビア (質問する)

ビアの目標インピーダンスはパッド周りのクリアランス (アンチパッドのサイズ)を調整する事によって設計されます。積層構造に合わせてビアを最適化するには、フィールドソルバを使う必要があります。

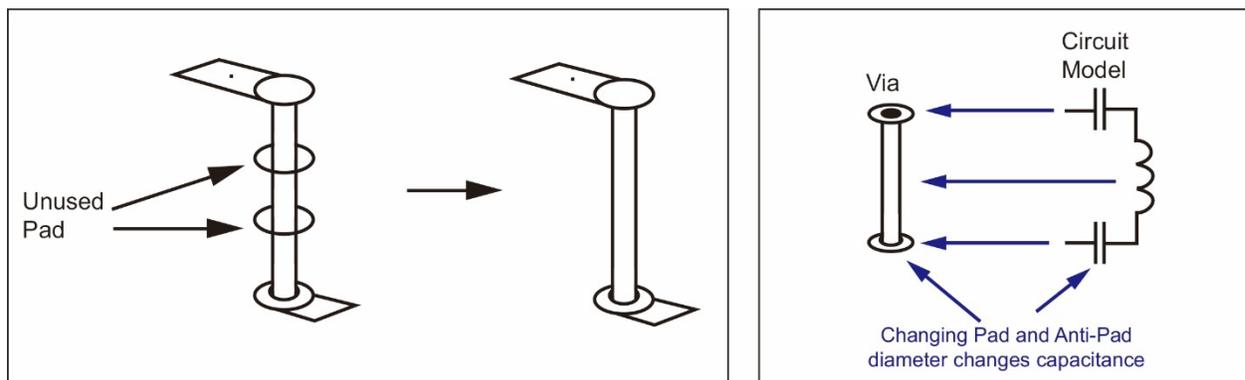
図3-5. ビアの図



以下のガイドラインに従ってください。

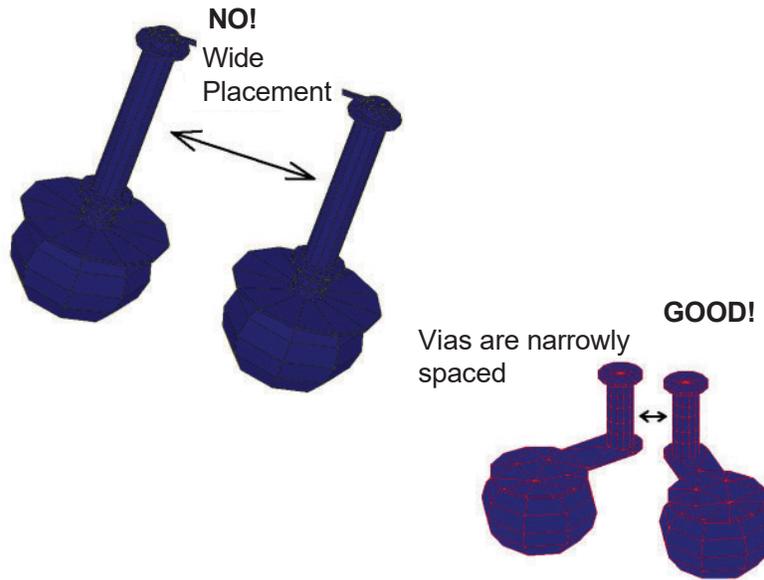
- 別々のトレース上に多くのビアが存在しないようにするか、可能な限り最小限に抑える必要があります。
- ビアスタブの長さは最小限に抑える必要があります。そのための方法として、ビアをバックドリルで加工する、信号を最上層付近から最下層付近に配線する、ブラインドビアまたは埋め込み型ビアを使う等があります。ブラインドビアとバックドリルを活用する事は、ビアスタブを解消して反射を低減するために良い方法です。
- 可能な場合、非機能パッドを取り除く必要があります。ビア上の非機能パッドとは、トレースが接続されていないパッドを指します。これにより、ビアの容量とパッドのスタブ効果が減少します。

図3-6. ビアの非機能パッド



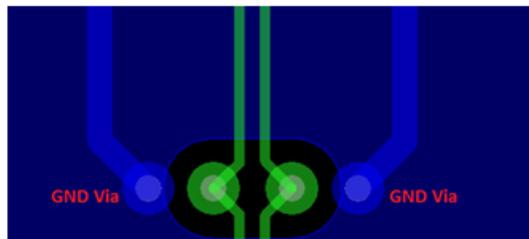
下図に示すように、ビア間のピッチを狭くする事でクロストーク効果を抑える事ができます。

図3-7. ビア間のピッチ



下図に示す通り、コモンモード信号成分の不連続性を軽減するため、対称のグランドビア (リターンビア) を使う必要があります。信号に含まれるコモンモード成分には、TXとRXからGNDへの連続したリターンパスが必要です。リターンビアはこの連続性を維持するのに役立ちます。

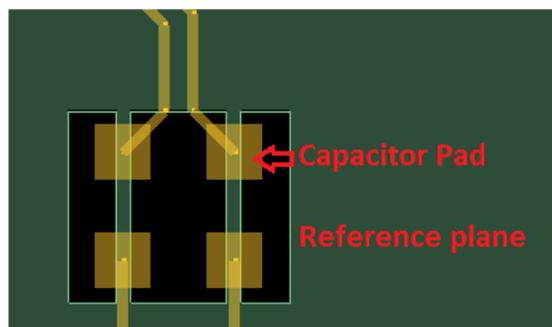
図3-8. GNDビアまたはリターンビア



3.2.2. DCブロック コンデンサ (質問する)

下図に示す通り、DCブロック コンデンサのパッドの下のプレーンは、パッドのインピーダンスを50Ωに合わせるために取り除く必要があります。

図3-9. コンデンサパッドのリファレンス プレーン



4. 改訂履歴 (質問する)

改訂履歴では、本文書に加えられた変更について記載します。変更点は発行日付が新しい順にリビジョンごとに記載されています。

リビジョン	日付	説明
B	2024年7月	<p>このリビジョンの改訂内容:</p> <ul style="list-style-type: none"> 「1.1.電源」にMicrochip Power Estimator (MPE)へのリンクを追加しました。 「1.5.リセット」でDEVRST_N関連の情報を更新しました。 図1-6(「1.7.1. JTAGプログラミング」)からSPI_ENピンとIO_CFG_INTFピンのインスタンスを削除しました(JTAGプログラミング中は使われないため)。 「1.11.ブラウナウト検出」で、任意のPolarFire電源でのブラウナウト検出に関する注記を更新しました。
A	2023年11月	<p>このリビジョンの改訂内容:</p> <ul style="list-style-type: none"> ユーザーガイド文書をMicrochip社の書式に合わせて変更しました。 文書番号をUG0726からDS50003612に変更しました。 表1-12について以下の変更を加えました。 <ul style="list-style-type: none"> VDDAUXをVDD18に置き換えました。 電源遮断シーケンスの要件を「VDDIの電源遮断は、同じバンクのVDD18、VDD、VDD25よりも前に行く」から「VDDIの電源遮断は、VDD18、VDD、VDD25よりも前に行く」に変更しました。 VDDI = 1.8V、VDD18 = 1.8Vの場合、別々の電源を使う必要があるという注記を追加しました。 「1.5.リセット」の表現を変更し、ウォームリセットにDEVRST_Nの使用は必須ではない事を明記しました。 目標インピーダンスの計算に関する情報を「1.1.電源」に追加しました。 JTAGプログラミング中のI/Oグリッチに関する注記を1.2. I/Oグリッチに追加しました。 表2-1にIODの新しい行を追加しました。 XCVRから次の行を削除し、表2-1のリセットに移動しました。「入力として使う事ができません IO_CFG_INTFピンが1本あります」
11.0	-	<p>このリビジョンの改訂内容:</p> <ul style="list-style-type: none"> 「1.4.クロック」で、異なるデバイスサイズに設計を移植する場合のリージョナルクロックの影響について明記しました。 図1-9を更新しました。 「1.4.クロック」にPPATへのリンクを追加し、PLL、DLL、グローバルクロックネットワークへの推奨されるクロック入力接続を示しました。 ホットソケットの例外に関する注記を「1.3.2.ホットソケット(GPIOのみ)」に追加しました。 「1.1.電源」にI/Oキャリブレーションの電源シーケンスの要件について注記を追加しました。 「1.2. I/Oグリッチ」を更新しました。 「1.1.1. PolarFireデカップリングコンデンサ」を更新しました。
10.0	-	<p>このリビジョンの改訂内容:</p> <ul style="list-style-type: none"> 表1-1のVDDとVDDAIについて新しい注記を追加しました。 表1-2～表1-8にデカップリングコンデンサの目的を述べる注記を追加しました。 1.2. I/Oグリッチと表1-11で、I/Oグリッチを軽減するための電源投入/遮断シーケンスについて更新しました。
9.0	-	<p>このリビジョンの改訂内容:</p> <ul style="list-style-type: none"> 「1.2. I/Oグリッチ」のグリッチ情報を更新しました。 図1-5を更新し、コールドスペアに必要なVDDI3 (JTAGバンク)に電力を供給するようにしました。

…続き		
リビジョン	日付	説明
8.0	-	このリビジョンの改訂内容: <ul style="list-style-type: none"> 「1.2. I/Oグリッチ」を参照してください。 VDDIとVDDAUXの詳細情報を「1.1.電源」に追加しました。
7.0	-	このリビジョンの改訂内容: <ul style="list-style-type: none"> 「1.9. MIPIハードウェア設計ガイドライン1.9.MIPIハードウェア設計ガイドライン」を追加しました。 リセット ガイドラインを「1.5.リセット」に追加しました。 以下のデバイス パッケージに電源デカップリング コンデンサを追加しました。 <ul style="list-style-type: none"> - MPF200T-FCG484 (0.8 mm) - MPF200T-FCSG536 (0.5 mm) - MPF200T-FCG325 (0.5 mm) - MPF100T-FCG325 (0.5 mm) - MPF100T-FCG484 (0.8 mm)
6.0	-	リビジョン6.0での改訂内容: <ul style="list-style-type: none"> 参照電圧(VREFx)の情報を「1.1.電源」で更新しました。 基本的な情報を「1.1.4.ピン割り当て表」に追加しました。 電源デカップリング コンデンサ-MPF300T - FCG1152/FCG784/FCG484を更新しました。 電源デカップリング コンデンサ-MPF500T - FCG1152/FCG784 (1 mm)、電源デカップリング コンデンサ-MPF200T - FCG784/FCG484 (1 mm)、MPF100T - FCG484 (1 mm)を追加しました。 「1.9.MIPIハードウェア設計ガイドライン」を参照してください。 「1.5.リセット」を参照してください。
5.0	-	リビジョン5.0での改訂内容: <ul style="list-style-type: none"> MPF300-FCG1152、MPF300-FCG484、MPF300-FCG784、MPF300-FCVG484、MPF300-FCSG536デバイスの電源デカップリング コンデンサの詳細を更新しました。 XCVR_REFおよびVDD_XCVR_CLK電源ピンの詳細を追加しました。詳細は「1.1.電源」を参照してください。 VDDIxおよびVDDAUXx電源の情報を更新しました。詳細は「1.1.3.未使用の電源」を参照してください。 VDDI3およびVDD_XCVR_CLKピンの電源制約に関する注記を追加しました。詳細は「1.1.電源」を参照してください。 PolarFireデバイスのデカップリング コンデンサの詳細を追加しました。詳細は「表1-9」を参照してください。 VDDIx、VDDAUXx、VDD_XCVR_CLKピンに関する補足情報を追加しました。詳細は「1.1.3.未使用の電源」を参照してください。 XCVRピンの設計チェックリストを更新しました。詳細は「表2-1」を参照してください。 コア電源の動作の説明にVREFに関する情報を追加しました。詳細は「1.1.電源」を参照してください。 コールドスペアに関する情報を更新しました。詳細は「1.3.1.コールドスペア」を参照してください。 JTAGピンの詳細を更新しました。詳細は「表1-15」を参照してください。 SPIマスターモード プログラミングの接続図を更新しました。詳細は「図1-7」を参照してください。 デバイスリセットに関する情報を更新しました。詳細は「1.5.リセット」を参照してください。 DDR3とDDR4の配置配線のガイドラインを削除しました。これらのガイドラインは『PolarFire FPGA and PolarFire SoC FPGA Memory Controller User Guide』に収録されています。
4.0	-	リビジョンAは2017年9月に発行されました。本書から「終端方式」と「PCBコンデンサの配置と実装技術」が削除されました。

…続き

リビジョン	日付	説明
3.0	-	<p>このリビジョンでの改訂内容:</p> <ul style="list-style-type: none"> 「2.ボード設計のチェックリスト」を参照してください。 「1.7.4.特殊なピン」を「はじめに」の章に追加しました。 コア電源の電源投入シーケンスを更新しました。詳細は「1.1電源」と「1.1.2.電源のトポロジ」を参照してください。 XCVR_TXおよびRX信号に関する注記を「1.1.3.未使用の電源」から削除しました。 「デバイスプログラミング」でVDDIピン名をVDDIxからVDDI3に変更しました。詳細は「1.7デバイスのプログラミング」を参照してください。
2.0	-	<p>リビジョン2.0での改訂内容:</p> <ul style="list-style-type: none"> 電源デカップリング コンデンサ-MPF300-FCG484の表の値を更新しました。 SPIマスタモード プログラミング ピンの表の値とパラメータを更新しました。詳細は表1-16を参照してください。 図2を更新しました。詳細は図1-2を参照してください。
1.0	-	本書の初版。

Microchip社のFPGAサポート

Microchip社FPGA製品部門では、カスタマサービス、カスタマ技術サポートセンター、ウェブサイト、世界各地の営業所等、各種のサポートサービスで製品をバックアップしています。サポートにお問い合わせ頂く前に、ぜひMicrochip社のオンライン リソースをご覧ください。既にご質問の答えが掲載されている可能性があります。

技術サポートセンターへはウェブページ(www.microchip.com/support)からお問い合わせ頂けます。技術サポートケースを作成する際は、FPGAデバイスの製品番号を明記し、適切なケースカテゴリを選択し、デザインファイルをアップロードしてください。

製品の価格、製品のアップグレード、更新情報、注文状況、認証等、技術的でない製品のサポートについてはカスタマサービスにお問い合わせください。

- 北米のお客様は**800.262.1060**にお電話ください。
- その他の地域のお客様は**650.318.4460**にお電話ください。
- FAX番号は世界共通で**650.318.8044**です。

Microchip社の情報

Microchip社ウェブサイト

Microchip社はウェブサイト(www.microchip.com)を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを提供しています。以下を含む各種の情報をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザーガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - FAQ(よく寄せられる質問)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip社のデザインパートナー プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクタと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/正規代理店)の一覧

製品変更通知サービス

Microchip社の製品変更通知サービスは、お客様にMicrochip社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

<http://www.microchip.com/pcn>にアクセスし、登録手続きをしてください。

お客様サポート

Microchip社製品をお使いのお客様は、以下のチャンネルからサポートをご利用頂けます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用頂けます。 www.microchip.com/support

Microchip社のデバイスコード保護機能

Microchip社製品のコード保護機能について以下の点にご注意ください。

- Microchip社製品は、該当するMicrochip社データシートに記載の仕様を満たしています。
- Microchip社では、通常の条件ならびに動作仕様書の仕様に従って使った場合、Microchip社製品のセキュリティレベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip社はその知的財産権を重視し、積極的に保護しています。Microchip社製品のコード保護機能の侵害は固く禁じられており、デジタルミレニアム著作権法に違反します。
- Microchip社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip社が製品を「解読不能」として保証するものではありません。コード保護機能は常に進化しています。Microchip社では、常に製品のコード保護機能の改善に取り組んでいます。

法律上の注意点

本書および本書に記載されている情報は、Microchip社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip社製品に対してのみ使う事ができます。それ以外の方法でこの情報を使う事はこれらの条項に違反します。デバイスアプリケーションの情報は、ユーザーの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートはMicrochip社正規代理店にお問い合わせ頂くか、<https://www.microchip.com/en-us/support/design-help/client-support-services>をご覧ください。

Microchip社は本書の情報を「現状のまま」で提供しています。Microchip社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合もMicrochip社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、またMicrochip社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対するMicrochip社の責任限度額は、使用者が当該情報に関連してMicrochip社に直接支払った額を超えません。

Microchip社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途にMicrochip社の製品を使う事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip社の名称とロゴ、Microchipロゴ、Adapttec、AVR、AVRロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemiロゴ、MOST、MOSTロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SSTロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGAは米国とその他の国におけるMicrochip Technology Incorporatedの登録商標です。

AgileSwitch、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plusロゴ、Quiet-Wire、SmartFusion、SyncWorld、TimeCesium、

TimeHub、TimePictra、TimeProvider、ZLは米国におけるMicrochip Technology Incorporatedの登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、EyeOpen、GridTime、IdealBridge、IGaT、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、MarginLink、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、mSiC、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PICTail、Power MOS IV、Power MOS 7、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、Turing、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENAは米国およびその他の国におけるMicrochip Technology Incorporatedの商標です。

SQTPは米国におけるMicrochip Technology Incorporatedのサービスマークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcomはその他の国におけるMicrochip Technology Incorporatedの登録商標です。

GestICは、その他の国におけるMicrochip Technology Germany II GmbH & Co. KG (Microchip Technology Incorporatedの子会社)の登録商標です。

その他の商標は各社に帰属します。

© 2025, Microchip Technology Incorporated and its subsidiaries.

All Rights Reserved.

ISBN: 979-8-3371-0991-6

品質管理システム

Microchip社の品質管理システムについてはwww.microchip.com/qualityをご覧ください。

各国の営業所とサービス

南北アメリカ	アジア/太平洋	アジア/太平洋	欧州
本社 2355 West Chandler Blvd. Chandler, AZ 85224-6199 Tel: 480-792-7200 Fax: 480-792-7277 技術サポート: www.microchip.com/support URL: www.microchip.com	オーストラリア - シドニー Tel: 61-2-9868-6733 中国 - 北京 Tel: 86-10 -8569-7000 中国 - 成都 Tel: 86-28-8665-5511 中国 - 重慶 Tel: 86-23-8980-9588 中国 - 東莞 Tel: 86-769-8702-9880 中国 - 広州 Tel: 86-20-8755-8029 中国 - 杭州 Tel: 86-571-8792-8115 中国 - 香港SAR Tel: 852-2943-5100 中国 - 南京 Tel: 86-25-8473-2460 中国 - 青島 Tel: 86-532-8502-7355 中国 - 上海 Tel: 86-21-3326-8000 中国 - 瀋陽 Tel: 86-24-2334-2829 中国 - 深圳 Tel: 86-755-8864-2200 中国 - 蘇州 Tel: 86-186-6233-1526 中国 - 武漢 Tel: 86-27-5980-5300 中国 - 西安 Tel: 86-29-8833-7252 中国 - 廈門 Tel: 86-592-2388138 中国 - 珠海 Tel: 86-756-3210040	インド - バンガロール Tel: 91-80-3090-4444 インド - ニューデリー Tel: 91-11-4160-8631 インド - プネ Tel: 91-20-4121-0141 日本 - 大阪 Tel: 81-6-6152-7160 日本 - 東京 Tel: 81-3-6880-3770 韓国 - 大邱 Tel: 82-53-744-4301 韓国 - ソウル Tel: 82-2-554-7200 マレーシア - クアラルンプール Tel: 60-3-7651-7906 マレーシア - ペナン Tel: 60-4-227-8870 フィリピン - マニラ Tel: 63-2-634-9065 シンガポール Tel: 65-6334-8870 台湾 - 新竹 Tel: 886-3-577-8366 台湾 - 高雄 Tel: 886-7-213-7830 台湾 - 台北 Tel: 886-2-2508-8600 タイ - バンコク Tel: 66-2-694-1351 ベトナム - ホーチミン Tel: 84-28-5448-2100	オーストリア - ヴェルス Tel: 43-7242-2244-39 Fax: 43-7242-2244-393 デンマーク - コペンハーゲン Tel: 45-4485-5910 Fax: 45-4485-2829 フィンランド - エスポー Tel: 358-9-4520-820 フランス - パリ Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79 ドイツ - ガーヒンク Tel: 49-8931-9700 ドイツ - ハーン Tel: 49-2129-3766400 ドイツ - ハイムロン Tel: 49-7131-72400 ドイツ - カールスルーエ Tel: 49-721-625370 ドイツ - ミュンヘン Tel: 49-89-627-144-0 Fax: 49-89-627-144-44 ドイツ - ローゼンハイム Tel: 49-8031-354-560 イスラエル - ホドハシャロン Tel: 972-9-775-5100 イタリア - ミラノ Tel: 39-0331-742611 Fax: 39-0331-466781 イタリア - パドヴァ Tel: 39-049-7625286 オランダ - ドリュエネン Tel: 31-416-690399 Fax: 31-416-690340 ノルウェー - トロンハイム Tel: 47-7288-4388 ポーランド - ワルシャワ Tel: 48-22-3325737 ルーマニア - ブカレスト Tel: 40-21-407-87-50 スペイン - マドリッド Tel: 34-91-708-08-90 Fax: 34-91-708-08-91 スウェーデン - ヨーテボリ Tel: 46-31-704-60-40 スウェーデン - ストックホルム Tel: 46-8-5090-4654 イギリス - ウォーキンガム Tel: 44-118-921-5800 Fax: 44-118-921-5820