



注意：この日本語版文書は参考資料としてご利用ください。
最新情報は必ずオリジナルの英語版をご参照願います。

PolarFire® SoC FPGA の基板設計ガイドライン

はじめに

回路を最適に設計するには、PCB(プリント基板)と PolarFire® SoC の両方で期待通りの性能を達成する必要があります。最終的な回路の品質と信頼性はノイズレベルの低減、シグナル インテグリティの確保、インピーダンス要件と電源要件への適合、適切なトランシーバ プロトコルの使用等によって決まります。本書に記載したガイドラインは、標準的な基板レベルの設計手順に対する補足として扱われる必要があります。

本書は PolarFire SoC デバイス、デジタル回路設計、システムの電気的特性を熟知した読者向けに書かれています。本書では PolarFire SoC FPGA の電源、高速インターフェイス、各種制御インターフェイスと、関連する周辺コンポーネントについて解説します。

目次

はじめに	1
1. 基板の設計	3
1.1. 電源	3
1.2. I/O グリッチ	9
1.3. ユーザ I/O	10
1.4. MSS I/O	12
1.5. クロック	13
1.6. リセット	14
1.7. DDR	14
1.8. デバイスのプログラミング	14
1.9. シリアルピン	17
1.10. トランシーバ	17
1.11. MIPI ハードウェアの設計ガイドライン	18
1.12. AC および DC 結合	19
1.13. ブラウンアウト検出	19
2. 基板設計チェックリスト	20
2.1. 前提条件	20
2.2. 設計チェックリスト	20
2.3. レイアウト チェックリスト	22
3. 補遺:一般的なレイアウト ガイドライン	23
3.1. MIPI	23
3.2. トランシーバ	23
4. 改訂履歴	28
Microchip 社の FPGA サポート	29
Microchip 社ウェブサイト	29
顧客変更通知サービス	29
カスタマサポート	29
Microchip 社のデバイスコード保護機能	29
法律上の注意点	30
Trademarks	30
品質管理システム	31
各国の営業所とサービス	32

1. 基板の設計

PolarFire SoC ファミリは、業界初の RISC-V ベース SoC FPGA を提供します。PolarFire SoC ファミリは、強力な 64 ビット/5x コアの RISC-V マイクロプロセッサ サブシステム(MSS)と FPGA ファブリックの組み合わせを 1 つのデバイスに実装しています。この組み合わせにより、PolarFire SoC デバイスは FPGA の拡張性と ASIC の高性能 (DDR3/DDR4、12.7 G トランシーバ、PCIe Gen2、HSIO/GPIO、高度に設定可能な MSS 等)を提供します。

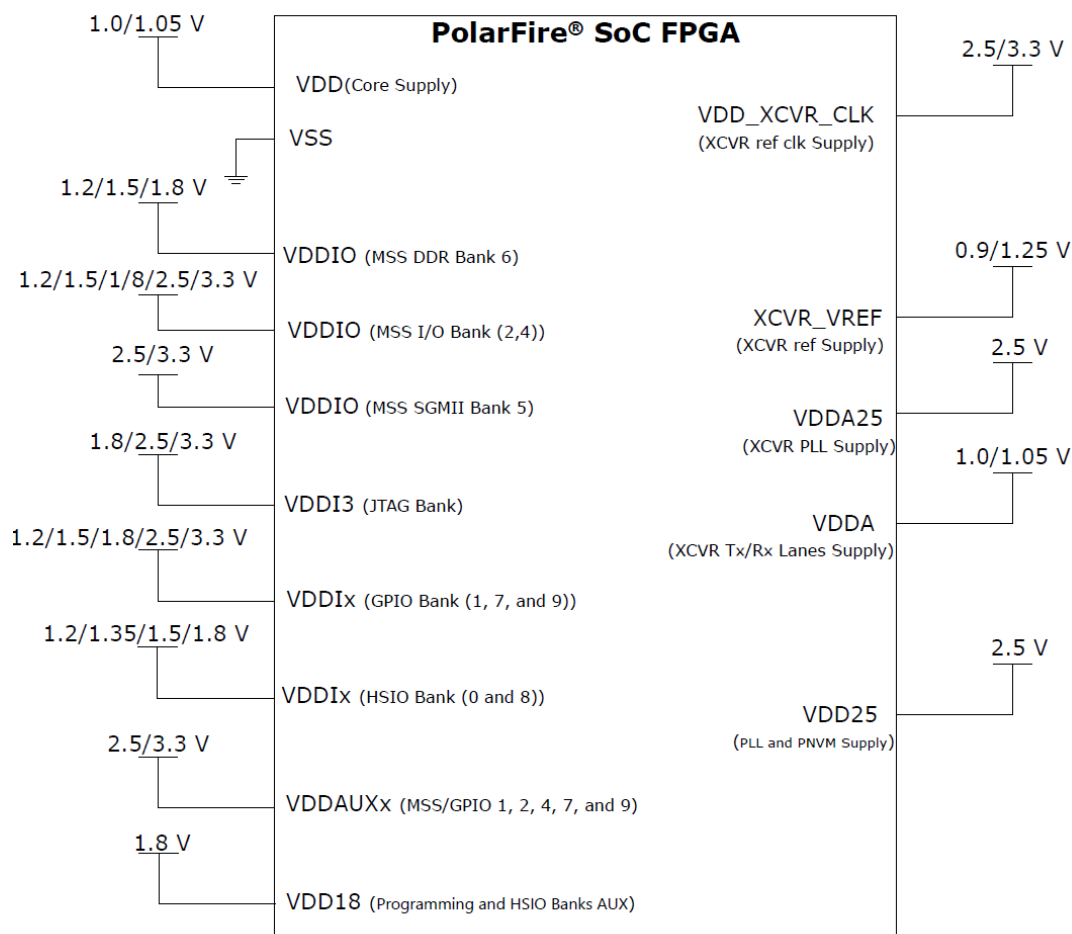
1. 「基板の設計」では、以下の項目について解説します。

- [電源](#)
- [I/O グリッチ](#)
- [ユーザ I/O](#)
- [クロック](#)
- [リセット](#)
- [DDR](#)
- [デバイスのプログラミング](#)
- [シリアルピン](#)
- [トランシーバ](#)
- [AC および DC 結合](#)
- [ブラウナウト検出](#)

1.1 電源

図 1-1 に、PolarFire SoC デバイスの標準的な電源要件と、本デバイスの全ての部分がシステム内で使われる場合に推奨する電源レール接続を示します。電源ごとのデカップリング コンデンサの詳細は [1.1.1 「PolarFire SoC 向けデカップリング コンデンサ」](#) を参照してください。

図 1-1. 電源接続



PolarFire SoC デバイスを正常に動作させるには、電源に含まれるスパイクを抑制する事と、対応するグラウンドにノイズが含まれない事が重要です。全てのオーバーシュートとアンダーシュートは、『[PolarFire SoC FPGA Advance Datasheet](#)』に記載されている絶対最大定格を超えてはいけません。

表 1-1 に、PolarFire SoC FPGA に必要な各種電源を示します。

表 1-1. 電源ピン

名称	概要
XCVR_VREF	トランシーバ向け参照電圧
VDD_XCVR_CLK	トランシーバリファレンス クロック向け入力バッファへの電源
VDDA25	トランシーバ PLL への電源
VDDA ¹	トランシーバの TX および RX レーンへの電源
VSS	デバイスコアのデジタルグラウンド
VDD ²	デバイスコアのデジタル電源
VDDI3 (JTAG バンク)	JTAG バンクピンへの電源
VDDI5	MSS SGMII バンクへの VDDI5 電源
VDDI2	MSS ペリフェラル バンクへの VDDI2 電源
VDDI4	MSS ペリフェラル バンクへの電源

.....続き

名称	概要
VDDI6	MSS DDR バンクへの電源
VDDIx (GPIO バンク)	GPIO バンクピンへの電源
VDDIx (HSIO バンク)	HSIO バンクピンへの電源
VDD25	コーナーPLL および PNVM への電源
VDD18	プログラミングおよび HSIO への電源
VDDAUXx	GPIO 補助電源

Note:

1. VDDA には 1.0 V または 1.05 V の電源を接続できます。詳細は『[PolarFire SoC FPGA Advance Datasheet](#)』内の「Recommended Operating Conditions」を参照してください。これは本デバイスへの低ノイズ電源です。リニアレギュレータ等を使ってこの電源を低ノイズに保つ必要があります。

2. VDD には 1.0 V または 1.05 V の電源を接続できます。詳細は『[PolarFire SoC FPGA Advance Datasheet](#)』内の「Recommended Operating Conditions」を参照してください。

- VREFx は DDR3 および DDR4 信号向けの参照電圧です。VREF 電圧は内部または外部で生成できます。
 - 内部 VREF は PCB、パッケージ インダクタンス、容量性損失の影響を受けません。内部 VREF への変更は最高の性能を提供し、DDR コントローラによる要求に応じて設定できます。
 - 外部 VREF は固定されており、要求に応じた設定はできません。外部 VREF は PCB、パッケージ インダクタンス、容量性損失の影響を受けます。

VDDI と VDDAUX を同じ電圧(2.5 V または 3.3 V)に設定する必要がある場合、同じレギュレータから VDDI と VDDAUX を供給する必要があります。これらの電源レールへの給電用に異なるレギュレータを使ってはいけません。同じレギュレータを使う事で、VDDI と VDDAUX の間の電圧偏差を防ぐ事ができます。この場合、基板は VDDI と VDDAUX に別々の電圧源から給電してはいけません。

GPIO バンクが 2.5 V 未満(1.2/1.5/1.8 V のいずれか)の VDDI を要求する場合、そのバンク向けの VDDAUX は、VDDI の電圧に関係なく、2.5 V 電源に接続する必要があります。VDDI は、特定の I/O タイプ(1.5 V または 1.8 V) 向けに別の電源を必要とします。

Note: 内部パワーオン リセット回路は、0 V から最低推奨動作電圧まで単調に電圧を立ち上げるために VDD、VDD18、VDD25 電源を必要とします。

詳細なピンの説明は『[PolarFire SoC FPGA Packaging and Pin Descriptions User Guide](#)』を参照してください。

1.1.1 PolarFire SoC のデカップリング コンデンサ

表 1-2 と表 1-3 に、それぞれ MPFS250TS - FCG1152 と MPFS250TS - FCVG484 向けの全てのデカップリング コンデンサの要件を示します。

表 1-2. 電源デカップリング コンデンサ¹ - MPFS250TS - FCG1152 (1 mm)

ピン名	セラミック	タンタル								
	1 nF	4.7nF	10 nF	22nF	47 nF	0.1 μF	1 μF	10 μF	47 μF	330 μF
VDD	—	—	5	2	2	1	1	—	1	2
VDD18	—	—	1	—	—	1	—	—	2	—
VDDA	—	3	1	—	—	6	—	—	2	—
VDDA25	2	—	—	—	—	2	—	—	1	—
VDD25	1	—	2	—	—	2	—	—	1	—

.....続き

ピン名	セラミック	タンタル								
	1 nF	4.7nF	10 nF	22nF	47 nF	0.1 μF	1 μF	10 μF	47 μF	330 μF
VDDAUX (GPIO)	—	1	1	—	—	1	—	—	1	—
GPIO バンク 1	1	—	—	—	—	—	—	—	1	—
HSIO バンク	—	—	—	—	—	2	—	—	1	—
VDDSDREF	—	—	—	—	—	2	—	1	—	—
SERDES_VREF	—	—	—	—	—	2	—	—	—	—
バンク 3 JTAG	—	—	—	—	—	2	—	1	—	—
バンク 2	—	—	—	—	—	2	—	1	—	—
バンク 4	—	—	—	—	—	2	—	1	—	—
バンク 5	—	—	—	—	—	2	—	1	—	—
バンク 6 MSS DDR	—	—	1	—	—	1	—	—	1	—

Note: 1.これらの値は、PolarFire SoC デバイスのみを効果的にデカップリングするためのガイドラインです。電源が異なる PCB 上に配置されている場合、あるいは電源がケーブルまたはコネクタを介して供給される場合、PolarFire SoC デバイスへの効果的な給電を確保する必要があります。『[PolarFire SoC FPGA Advance Datasheet](#)』に記載されている推奨動作条件に従ってください。

表 1-3. 電源デカップリング コンデンサ¹ - MPFS250TS - FCVG484 (0.8 mm)

ピン名	セラミック	タンタル									
	1 nF	3.3 nF	2.2 nF	4.7 nF	10 nF	47 nF	0.1 μF	1 μF	10 μF	47 μF	330 μF
VDD	—	—	—	—	—	3	3	3	—	1	2
VDD18	—	—	—	1	1	—	1	—	—	2	—
VDDA	—	—	2	—	2	—	1	—	—	2	—
VDDA25	1	—	—	—	—	—	1	—	—	1	—
VDD25	1	—	—	—	2	—	2	—	—	1	—
VDDAUX (GPIO)	—	—	—	1	1	—	1	—	—	1	—
GPIO バンク 1	1	—	—	1	—	—	1	—	—	1	—
HSIO バンク 1	1	—	—	1	—	—	1	—	—	1	—
VDDSDREF	—	—	—	—	—	—	2	—	1	—	—
SERDES_VREF	—	—	—	—	—	—	2	—	—	—	—
バンク 3 JTAG	—	—	—	—	—	—	2	—	1	—	—
バンク 2	—	—	—	—	—	—	2	—	1	—	—
バンク 4	—	—	—	—	—	—	2	—	1	—	—
バンク 5	—	—	—	—	—	—	2	—	1	—	—

.....続き											
ピン名	セラミック	タンタル									
	1 nF	3.3 nF	2.2 nF	4.7 nF	10 nF	47 nF	0.1 μ F	1 μ F	10 μ F	47 μ F	330 μ F
バンク 6 MSS DDR	1	1	—	1	1	—	1	—	—	1	—

Note: 1. これらの値は、PolarFire SoC デバイスのみを効果的にデカップリングするためのガイドラインです。電源が異なる PCB 上に配置されている場合、あるいは電源がケーブルまたはコネクタを介して供給される場合、PolarFire SoC デバイスへの効果的な給電を確保する必要があります。『[PolarFire SoC FPGA Advance Datasheet](#)』に記載されている推奨動作条件に従ってください。

コンデンサの物理的サイズがこの例に示した回路の性能を満たすか上回る場合、これらの表とは異なるデカップリングコンデンサが使えます。そのようなコンデンサを使う場合、配電システムのインピーダンスの周波数特性を解析し、共振インピーダンス スパイクが発生しない事を確認する必要があります。電源回路は図 1-1 を参照してください。

電源に対する PolarFire SoC パッケージの内部静電容量の詳細は、『[UG0902: PolarFire SoC FPGA Packaging and Pin Descriptions User Guide](#)』を参照してください。

表 1-4 に、PolarFire SoC パッケージに必要なデカップリング コンデンサの一覧を示します。

表 1-4. PolarFire SoC 向けに推奨するデカップリング コンデンサ

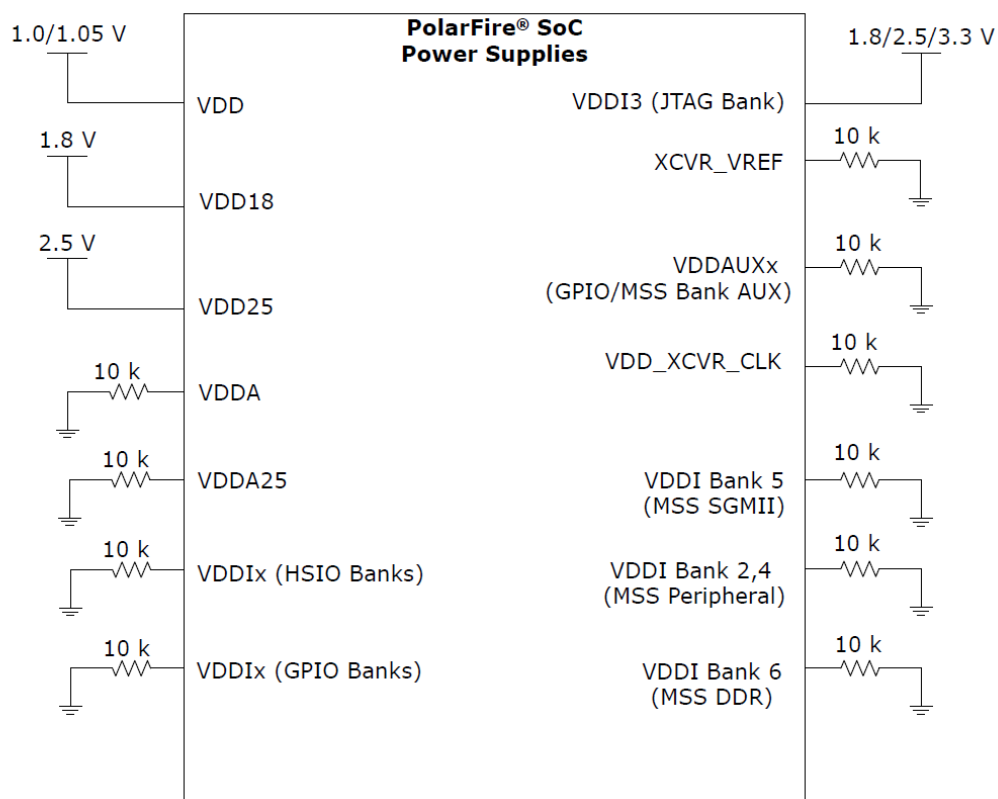
容量	製品番号	パッケージ	概要
1 nF	CL05B102KO5NNNC	0402	1 mm パッケージ向け
2.2 nF	GRM155R71C223KA01D	0402	1 mm パッケージ向け
10 nF	GRM155R71C103KA01D	0402	1 mm パッケージ向け
0.1 μ F	GRM155R71C104KA88D	0402	1 mm パッケージ向け
10 nF	GRM15XR11C103KA86	0402	1 mm パッケージ向け
4.7 nF	GRM155R11H472KA01	0402	1 mm パッケージ向け
10 μ F	GRM21BR71A106KE51	0805	バルクコンデンサ (0.5/0.8/1 mm パッケージ向け)
47 μ F	GRM31CR61A476KE15	1206	バルクコンデンサ (0.5/0.8/1 mm パッケージ向け)
330 μ F	T495D337K010ATE150	2917	バルクコンデンサ (0.5/0.8/1 mm パッケージ向け)
1 nF	GRM033R71C102KA01	0201	0.8/0.5 mm パッケージ向け
2.2 nF	GRM033R71A103KA01	0201	0.8/0.5 mm パッケージ向け
10 nF	GRM033R71A103KA01	0201	0.8/0.5 mm パッケージ向け
0.1 μ F	GRM033C71C104KE14	0201	0.8/0.5 mm パッケージ向け

Note: 異なるメーカーの等価なコンデンサも使えます。パッケージ デカップリング コンデンサの詳細は『[UG0902: PolarFire SoC FPGA Packaging and Pin Descriptions User Guide](#)』を参照してください。

1.1.2 未使用電源

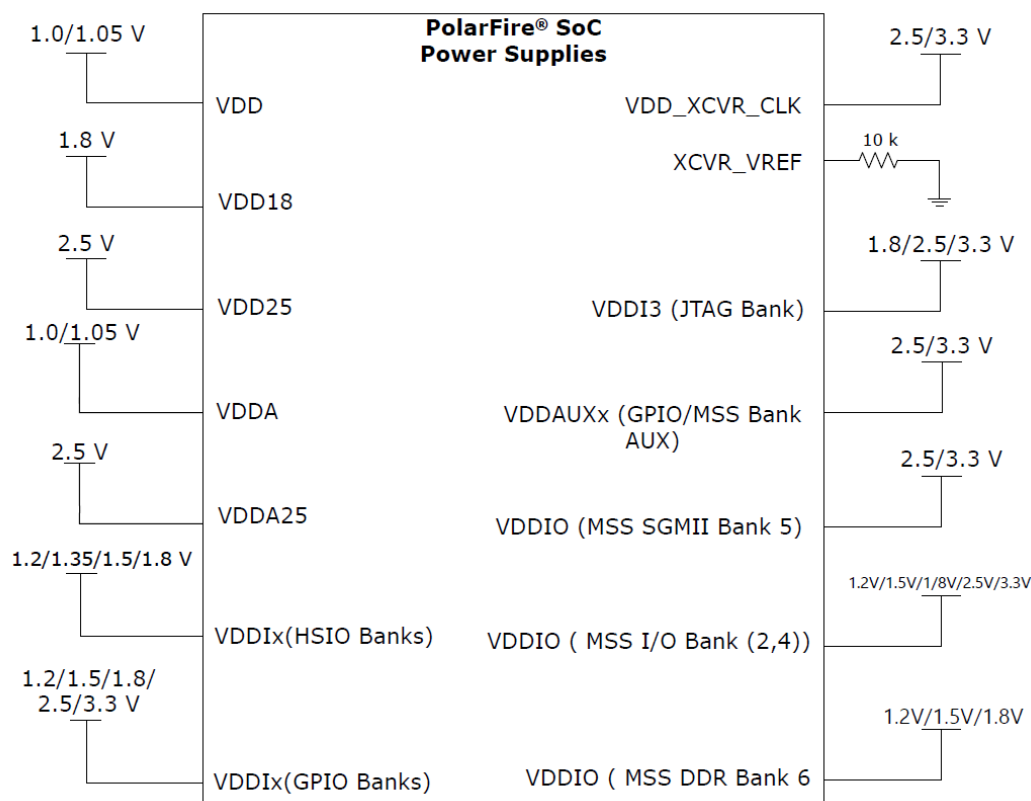
図 1-2 に、電源の未使用時の接続方法とシステムのリーク電流および消費電力を削減する方法を示します。

図 1-2. 未使用電源の接続方法(オプション 1)



I/O を使わず、システムの起動後に必要に応じて各種電源を投入する場合、図 1-3 の接続方法が使えます。

図 1-3. 未使用電源の接続方法(オプション 2)



Note: 基板上の配線を単純化するために、複数の 10 kΩ 抵抗を必要に応じて使うことができます。あるいは、1 つの 10 kΩ 抵抗を介して複数の電源をまとめて VSS に接続する事もできます。

1.1.3 ピン割り当て

推奨する DDR ピン配置、XCVR-0 向け PCI EXPRESS 機能、I/O CDR 向け DDR レーン情報、汎用 IOD インターフェイス ピン配置、パッケージピンの未使用時状態については、『[PolarFire SoC Packaging Pin Assignment Table](#)』(PPAT)を参照してください。

1.2 I/O グリッチ

グリッチは、PolarFire SoC デバイスにおける電源投入または遮断時に GPIO または HSIO 出力に対して発生する可能性があります。グリッチは、デバイスが動作状態に達する前または後で発生する可能性があります。これらのグリッチは、LVDS 出力またはトランシーバ I/O では観測されません。どのタイプのグリッチによっても信頼性の問題は発生しません。以下は、発生する可能性のあるグリッチのタイプです。

- デバイスが動作状態に達する前に、GPIO または HSIO でグリッチ(最大 1 V、0.4 ms)が発生する可能性があります。このタイプのグリッチは、通常無視できます。このタイプのグリッチが無視できない場合、GPIO または HSIO ピンの重要信号¹に 100 kΩ プルダウン抵抗を使う事を推奨します。このグリッチ緩和策により、グリッチは観測されなくなります。
- これとは異なるタイプのグリッチが電源投入シーケンスまたはブートアップ中に GPIO および HSIO で発生する可能性があります。このグリッチは入力、出力、双方向 I/O で既定値によって Weak Pull-Up 抵抗が有効にされる事により発生します。このグリッチを緩和するには、Libero SoC I/O Editor または PDC 制約ファイルを使って、特定 I/O の出力バッファの Weak Pull-Down 抵抗を設定します。
- 後者のタイプのグリッチは、デバイスが動作状態に達した後に発生する可能性があります。このタイプのグリッチは、VDDI および VDDAUX 電源の投入および遮断シーケンスに関連します。これは、VDDI が 1.5 V または 1.8 V の GPIO でのみ発生し、最大グリッチは電源投入中に 1 V/0.8 ms、電源遮断中に 1.8 V/1 ms です。

¹ 他のデバイスへ供給する HSIO または GPIO のリセットまたはクロック信号等

動作状態に達した後のグリッチを緩和するため、表 1-5 に示す推奨電源シーケンスに従う必要があります。

表 1-5. 電源シーケンス¹

GPIO の使用条件		グリッチを緩和するための電源投入シーケンス要件 ²	グリッチを緩和するための電源遮断シーケンス要件 ²
VDDI	VDDAUX	—	—
1.2V	2.5V	グリッチは発生しない	グリッチは発生しない
1.5V	2.5V	そのバンクの VDDI の前に VDDAUX を投入する	そのバンクの VDDAUX の前に VDDI を遮断する
1.8V	2.5V	そのバンクの VDDI の前に VDDAUX を投入する	そのバンクの VDDAUX の前に VDDI を遮断する
2.5V	2.5V	同じレギュレータから VDDAUX と VDDI に給電する	グリッチは発生しない
3.3V	3.3V	同じレギュレータから VDDAUX と VDDI に給電する	グリッチは発生しない

(1) 推奨グリッチ緩和策を適用する事でグリッチは観測されなくなります。

(2) 先行する電源シーケンスはどのグリッチも緩和しません。前述の通り、GPIO または HSIO ピンの重要信号に 100 k Ω プルダウン抵抗を追加する事でグリッチを緩和します。

1.3 ユーザ I/O

PolarFire SoC FPGA は 2 種類の I/O バッファ(HSIO と GPIO)を備えています。HSIO バッファは、1.2~1.8 V の電源で動作するシングルエンド バッファ向けに最適化されています。

GPIO バッファは、1.2 V~3.3 V の電源で動作するシングルエンド インターフェイスと差動インターフェイスをサポートします。PolarFire SoC FPGA は、以下のタイプの I/O バンクをサポートします。

- **GPIO バンク** — これらのバンクは、1.2 V~3.3 V で動作するシングルエンドおよび差動信号向け I/O バッファをサポートします。
- **HSIO バンク** — これらのバンクは、1.2 V~1.8 V で動作するシングルエンドおよび差動信号向けに最適化された I/O バッファをサポートします。
- **MSS I/O** — これらのバンクは、1.2 V~3.3 V で動作するシングルエンド信号向けの I/O バッファをサポート可能です。
- **MSS DDR I/O** — これらのバンクは、1.2/1.5/1.8 V で動作するシングルエンドおよび差動信号向けの I/O バッファをサポート可能です。
- **MSS SGMII I/O** — これらのバンクは、2.5 V または 3.3 V で動作するシングルエンドおよび差動信号向けの I/O バッファをサポート可能です。

Note: HSIO バンクを LVDS レシーバとして設定した場合、対応する I/O は 100 Ω 抵抗を介して外部接続する必要があります。

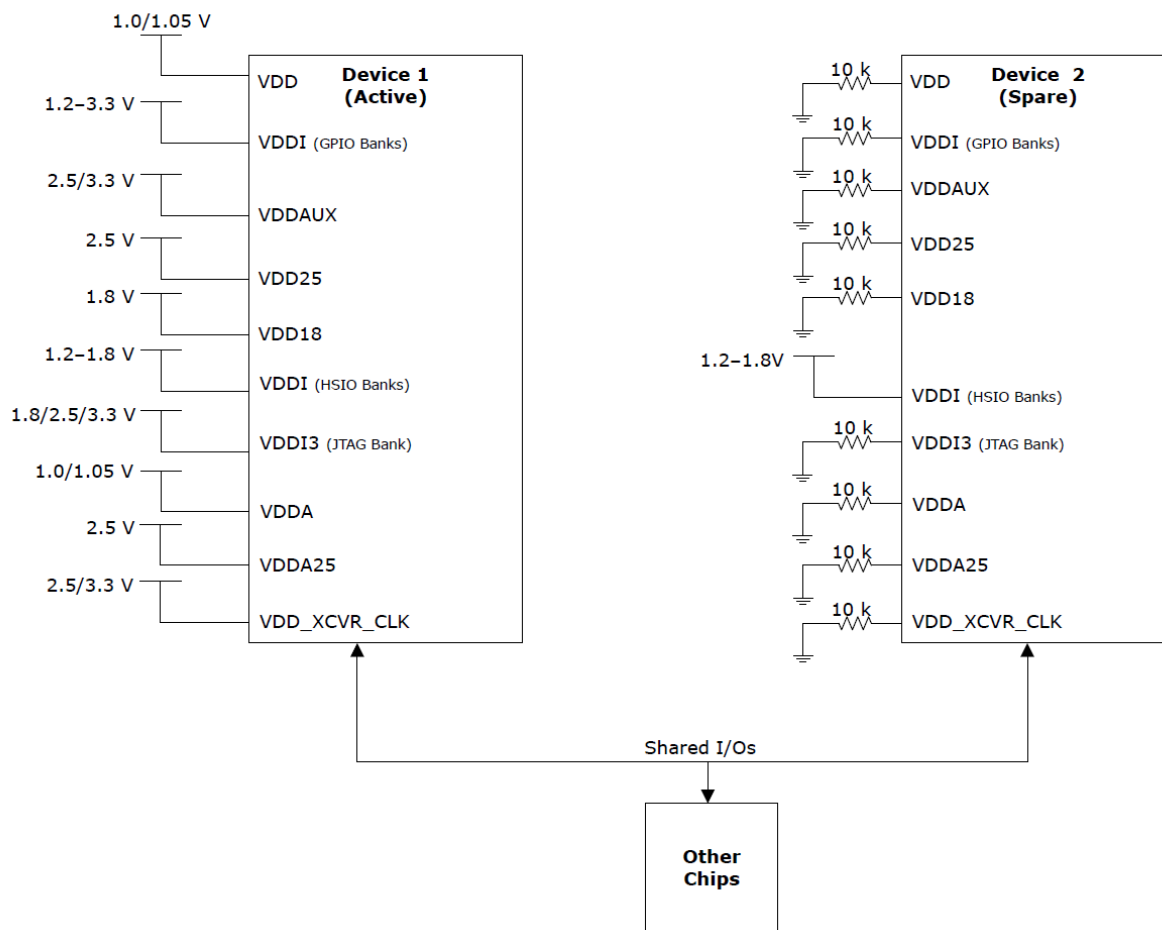
I/O バッファの主要機能とサポートされる規格の詳細は、『UG0902: PolarFire SoC FPGA Packaging and Pin Descriptions User Guide』と『PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide』を参照してください。

1.3.1 コールドスペア

PolarFire SoC は、GPIO と HSIO 向けにコールドスペアをサポートします。コールドスペアは、図 1-4 の通りにデバイスを接続する事により実装します。システム基板上に 2 個の PolarFire SoC が並列に実装され、これらのデバイスは I/O を共有します。スペアデバイスの HSIO VDDI バンクに電源を投入する事により、ESD ダイオードを介する I/O リーク電流を防ぎます。これにより、スペアデバイスの省電力化と保護状態が確保されます。スペアデバイスは、全ての電源を投入する事によりアクティブ デバイスへ変更できます。アクティブ デバイスは、HSIO VDDI バンクを除く全ての電源を遮断する事によりスペアデバイスへ変更できます。

標準的なコールドスペア アプリケーションでは、I/O 接続を共有する 2 つのデバイスを並列に使います(図 1-4 参照)。

図 1-4. コールドスペア



Note: トランシーバピンと JTAG ピンはコールドスペア機能をサポートしません。

1.3.2 ホットソケット(GPIO 専用)

ホットソケット (ホットスワップ、ホットプラグインとも呼ぶ) 機能は、PolarFire SoC FPGA が電源 OFF の時に I/O で電圧が検出された場合にデバイスの損傷を防ぎます。また、デバイスの I/O が正常に給電されないまま接続された場合に、システムの他の部分で障害が発生する事を防ぐ効果もあります。

GPIO のみがホットソケット機能をサポートします。ホットソケットでは、GPIO はハイインピーダンス(hi-Z) 状態となります。

GPIO は、電源が有効な状態になるまで以下のハイインピーダンス状態を維持します。

- VDDAUX は 1.6 V 以上
- VDDI_x は 0.8 V 以上
- VDD と VDD25 の両方が High、かつ、PolarFire SoC FPGA コントローラがグローバル I/O 呼び出し信号 (IO_EN) をアサート

1.3.2.1 GPIO の過電圧トレランス機能

GPIO が表 1-6 に示す通りに設定された場合、GPIO は過電圧トレランス機能をサポートし、ピンでの I/O 信号の電位を VDDI_x 電源よりも高く維持します。

表 1-6. 過電圧トレランス

規格	OE	クランプダイオード	VREF (入力)	Weak Pull-Up /プルダウン抵抗	終端抵抗	ホットプラグ
PCI	x	ON	ON	ON	ON	無効
GPIO	1	ON	ON	ON	ON	無効
	0	OFF	OFF	OFF	OFF	有効

過電圧トレランスの推奨動作条件については、『[PolarFire SoC FPGA Advance Datasheet](#)』を参照してください。

1.4 MSS I/O

PolarFire SoC FPGA は以下のタイプの MSS I/O バッファをサポートします。

- [1.4.1 MSS DDR I/O](#)
- [1.4.2 MSS SGMII I/O](#)
- [1.4.3 MSS-Specific I/O](#)

1.4.1 MSS DDR I/O

MSS DDR I/O は、ECC をサポートする x32 幅 DDR インターフェイス専用の複数のピンで構成されます。これらのピンには以下が含まれます。

- MSS_DDR_DQ[0:35]
 - MSS_DDR_DQSP[0:4]、MSS_DDR_DQSN[0:4]
 - MSS_DDR_DM[0:4]
 - MSS_DDR_A[0:16]
 - MSS_DDR_CK_0、MSS_DDR_CK_N0
 - MSS_DDR_CK_1、MSS_DDR_CK_N1
 - MSS_DDR_RAM_RST_N
 - MSS_DDR_VREF_IN
 - MSS_DDR_BA0、MSS_DDR_BA1
 - MSS_DDR_BG0、MSS_DDR_BG1
 - MSS_DDR_CS0、MSS_DDR_CS1
 - MSS_DDR_CKE0、MSS_DDR_CKE1
 - MSS_DDR_ODT0、MSS_DDR_ODT1
 - MSS_DDR_ACT_N
 - MSS_DDR_WE_N
 - MSS_DDR_ALERT_N
 - MSS_DDR_PARITY
- このインターフェイスは、以下のタイプの DDR メモリをサポートします。
- DDR4 – シングルおよびデュアル ランク
 - DDR3 – シングルおよびデュアル ランク
 - LPDDR4
 - LPDDR3

ピン割り当てと DDR ユーザモデルの詳細は、『[PolarFire SoC Packaging Pin Assignment Table](#)』 (PPAT) と『[PolarFire FPGA and PolarFire SoC FPGA Memory Controller User Guide](#)』を参照してください。

1.4.2 MSS SGMII I/O

MSS SGMII I/O は専用の複数のピンで構成されます。2 セットのピンはトランシーバ用であり、1 セットのピンはリファレンス クロックの入力用です。MSS SGMII ピンには以下が含まれます。

- MSS_SGMII_TXP0、MSS_SGMII_TXN0
- MSS_SGMII_RXP0、MSS_SGMII_RXN0
- MSS_SGMII_TXP1、MSS_SGMII_TXN1
- MSS_SGMII_RXP1、MSS_SGMII_RXN1
- MSS_REFCLK_IN_P、MSS_REFCLK_IN_N

1.4.3 MSS-Specific I/O

Libero® SoC を使って各種周辺モジュールとの接続用に設定可能な 38 個の MSS I/O が利用できます(図 1-5 参照)。MSS I/O のピン配置については、『[PolarFire SoC Packaging Pin Assignment Table](#)』 (PPAT)を参照してください。PPAT には、MSS I/O とそれらがサポートする周辺モジュールの一覧が記載されています。MSS I/O は、Libero SoC > PFSOC_MSS SgCore IP Configurator を使って設定します。

図 1-5. 周辺モジュール

BANK	IO MUX	Package Pin	eMMC	USB	SD	MAC	QSPI	SPI	MMUART	I2C	CAN	GPIO
BANK 4	0	AA8	EMMC_CLK		SD_CLK		QSPI_CLK	SPI_0_CLK				GPIO_0_0
	1	AA9	EMMC_CMD		SD_CMD				MMUART_3_RXD	I2C_0_SCL		GPIO_0_1
	2	AA7	EMMC_DATA0		SD_DATA0				MMUART_3_TXD	I2C_0_SDA		GPIO_0_2
	3	Y6	EMMC_DATA1		SD_DATA1				MMUART_4_RXD		CAN_0_TXBUS	GPIO_0_3
	4	AA10	EMMC_DATA2		SD_DATA2				MMUART_4_TXD		CAN_0_RXBUS	GPIO_0_4
	5	AA13	EMMC_DATA3		SD_DATA3				MMUART_0_RXD (A)		CAN_0_TX_EBL_N	GPIO_0_5
	6	Y10	EMMC_STRB		SD_CD				MMUART_0_TXD (A)			GPIO_0_6
	7	Y7	EMMC_RSTN		SD_WP	MAC_1_MDC			MMUART_2_RXD	I2C_1_SCL		GPIO_0_7
	8	Y14	EMMC_DATA4		SD_POW	MAC_1_MDIO	QSPI_S0		MMUART_2_TXD	I2C_1_SDA		GPIO_0_8
	9	Y13	EMMC_DATA5		SD_VOLT_SEL	MAC_0_MDC	QSPI_DATA0		MMUART_0_RXD (B)			GPIO_0_9
	10	Y8	EMMC_DATA6		SD_VOLT_EN	MAC_0_MDIO	QSPI_DATA1		MMUART_0_TXD (B)			GPIO_0_10
	11	Y11	EMMC_DATA7		SD_VOLT_CMD_DIR		QSPI_DATA2	SPI_0_DO	MMUART_1_RXD		CAN_1_TXBUS	GPIO_0_11
	12	AA12			SD_VOLT_DIR_0		QSPI_DATA3	SPI_0_DI	MMUART_1_TXD		CAN_1_RXBUS	GPIO_0_12
BANK 2	13	Y12			SD_VOLT_DIR_1_3			SPI_0_S0			CAN_1_TX_EBL_N	GPIO_0_13
	14	W6		USB_CLK			QSPI_CLK (A)	SPI_1_CLK (A)				GPIO_1_0
	15	V6		USB_DIR		MAC_1_MDC (A)		SPI_1_DO (A)	MMUART_4_RXD			GPIO_1_1
	16	W8		USB_NXT		MAC_1_MDIO (A)		SPI_1_DI (A)	MMUART_4_TXD			GPIO_1_2
	17	V8		USB_STP				SPI_1_S0 (A)	MMUART_0_RXD (A)			GPIO_1_3
	18	V4		USB_DATA0					MMUART_0_TXD (A)			GPIO_1_4
	19	U8		USB_DATA1					MMUART_1_RXD			GPIO_1_5
	20	W9		USB_DATA2					MMUART_1_TXD	I2C_0_SCL (A)		GPIO_1_6
	21	U7		USB_DATA3					MMUART_2_RXD	I2C_0_SDA (A)	CAN_0_TX_EBL_N (A)	GPIO_1_7
	22	U6		USB_DATA4					MMUART_2_TXD		CAN_0_TXBUS (A)	GPIO_1_8
	23	V7		USB_DATA5				SPI_0_S0	MMUART_3_RXD		CAN_0_RXBUS (A)	GPIO_1_9
	24	V9		USB_DATA6		MAC_0_MDC (A)		SPI_0_DI	MMUART_3_TXD	I2C_1_SCL (A)		GPIO_1_10
	25	U9		USB_DATA7		MAC_0_MDIO (A)		SPI_0_DO		I2C_1_SDA (A)		GPIO_1_11
	26	V14			SD_LED (A)					I2C_1_SCL (B)		GPIO_1_12
	27	V13			SD_VOLT_0 (A)					I2C_1_SDA (B)	CAN_1_TX_EBL_N (A)	GPIO_1_13
	28	W10			SD_VOLT_1 (A)	MAC_1_MDC (B)			MMUART_0_RXD (B)		CAN_1_TXBUS (A)	GPIO_1_14
	29	W11			SD_VOLT_2 (A)	MAC_1_MDIO (B)			MMUART_0_TXD (B)		CAN_1_RXBUS (A)	GPIO_1_15
	30	W14					QSPI_CLK (B)	SPI_1_CLK (B)				GPIO_1_16
	31	W13					QSPI_S0	SPI_1_S0 (B)			CAN_0_TXBUS (B)	GPIO_1_17
	32	U11			SD_CLE		QSPI_DATA0	SPI_1_DO (B)			CAN_0_RXBUS (B)	GPIO_1_18
	33	U12			SD_LED (B)		QSPI_DATA1	SPI_1_DI (B)			CAN_0_TX_EBL_N (B)	GPIO_1_19
	34	V11			SD_VOLT_0 (B)		QSPI_DATA2				CAN_1_TXBUS (B)	GPIO_1_20
	35	U10			SD_VOLT_1 (B)	MAC_0_MDC (B)	QSPI_DATA3		MMUART_0_RXD (C)	I2C_0_SCL (B)	CAN_1_RXBUS (B)	GPIO_1_21
	36	U14			SD_VOLT_2 (B)	MAC_0_MDIO (B)			MMUART_0_TXD (C)	I2C_0_SDA (B)	CAN_1_TX_EBL_N (B)	GPIO_1_22
	37	V12					QSPI_CLK (C)	SPI_0_CLK				GPIO_1_23

1.5 クロック

PolarFire SoC は、フリーランニング クロックの生成用に、周波数の異なる 2 つの RC オシレータ(2 MHz と 160 MHz)を内蔵しています。これらのクロックは I/O ピンに接続されておらず、外付け部品を必要とせずに動作します。表 1-7 に、PolarFire SoC デバイスが備える RC オシレータを示します。

表 1-7. 内部 RC オシレータの実装数

リソース	周波数レンジ(MHz)	MPFS250
内部オシレータ	2	1
	160	1

PolarFire SoC デバイスのクロックに関する詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide](#)』を参照してください。

1.6 リセット

信頼性の高いシステムを設計するために、専用の DEVRST_N ピンまたは任意の GPIO/HSIO を使った汎用リセット信号がグローバルなシステムレベルのリセット用に使えます。

以下の場合、DEVRST_N をデバイスのウォームリセット用に使う必要があります。

- 動作中にユーザ回路が自動初期化ファブリック RAM または PCIe 設定を変更する場合
- ユーザ回路が PCIe、トランシーバ、ユーザ暗号プロセッサのいずれかを使う場合

上記を除く全ての状況では、任意の GPIO/HSIO I/O を介する汎用リセット信号を使う事を推奨します(汎用リセット信号を使う事で、回路がリセットを完了するまでの時間を大幅に短縮できるため)。

専用 DEVRST_N ピンをウォームリセット用に使わない場合、DEVRST_N ピンは以下のいずれかの方法で設定する必要があります。

- システム/クロックが安定してデバイスが正常に起動するまで、POR デバイスまたは外部デバイスによって DEVRST_N をアサート状態に駆動する。
- 1 kΩ 抵抗を介して DEVRST_N を VDDI3 に接続する(この抵抗を他のピンと共有してはいけません)
 - この場合、ユーザ回路がパワーオン リセット状態から解放される前にデバイスに供給される全てのクロックが安定する事をユーザが保証する必要があります。電源投入後に FPGA ファブリック内の回路がアクティブになるまでに要する最小時間は、『[PolarFire SoC FPGA Advance Datasheet](#)』内の「Power-Up To Functional」を参照してください。

1.7 DDR

PolarFire SoC デバイスは DDR3、LPDDR4、LPDDR3、DDR4 をサポートします。PolarFire SoC がサポートする DDR の詳細は『[PolarFire SoC FPGA Advance Datasheet](#)』を参照してください。

DDR インターフェイスの信頼性は回路のレイアウトに依存します。基板レイアウトと配線方法に関する詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Memory Controller User Guide](#)』を参照してください。

1.8 デバイスのプログラミング

PolarFire SoC は、JTAG または SPI インターフェイスを使ってプログラミングできます。これらのインターフェイスは、以下のプログラミング モードをサポートします。

- JTAG プログラミング
- SPI マスタモード プログラミング
- SPI スレーブモード プログラミング

PolarFire SoC FPGA は、SPI マスタモードを使った内部システム コントローラ経由のプログラミング モードと、JTAG または SPI インターフェイスを使った外部マスタ経由のプログラミング モードをサポートします。各プログラミング モードでのハードウェア接続の詳細は、『[PolarFire FPGA and PolarFire SoC FPGA Memory Controller User Guide](#)』を参照してください。

1.8.1 JTAG プログラミング

JTAG インターフェイスは、デバイスのプログラミングと試験またはファームウェアのデバッグ用に使います。デバイスリセット(DEVRST_N) がアサートされている時に JTAG I/O にアクセスする事はできません。JTAG I/O はバンク 3 VDDI により給電されます。

図 1-6 に、PolarFire SoC デバイスにおける JTAG プログラミング モード向けの基板レベル接続を示します。

図 1-6. JTAG プログラミング

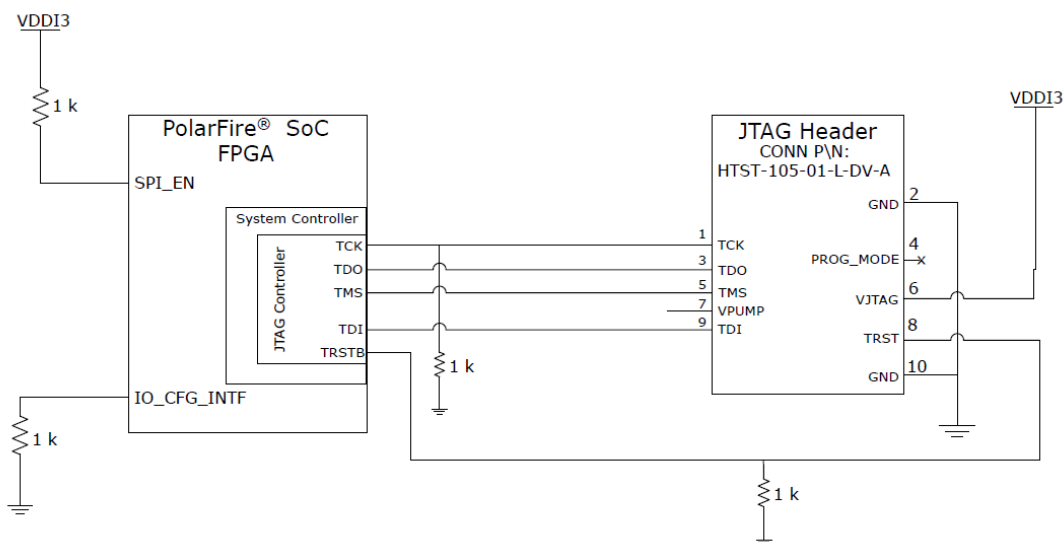


表 1-8 に、JTAG ピンの一覧を示します。

表 1-8. JTAG ピン

ピン名	方向	未使用時の状態	概要
TMS	入力	DNC	JTAG テストモードを選択
TRSTB	入力	1 k Ω 抵抗を介して VDDI3 に接続する必要があります。	JTAG テストをリセット (デバイス動作中は Low に保持する必要があります)
TDI	入力	DNC	JTAG テストデータ入力
TCK	入力	10 k Ω 抵抗を介して VSS に接続する必要があります。	JTAG テストクロック
TDO	出力	DNC	JTAG テストデータ出力

1.8.2 SPI マスタモード プログラミング

組み込みシステム コントローラはプログラミング専用の SPI ブロックを備えており、このブロックはマスタモードまたはスレーブモードで動作可能です。マスタモードでは、PolarFire SoC デバイス インターフェイスを使って外部 SPI フラッシュ経由でプログラミング データをダウンロードします。スレーブモードでは、SPI ブロックはリモートデバイスと通信します。デバイスへのプログラミング データのダウンロードは、リモートデバイスによって開始されます。

図 1-7 に、PolarFire SoC デバイスにおける SPI マスタモード プログラミング向けの基板レベル接続を示します。

図 1-7. SPI マスタモード プログラミング

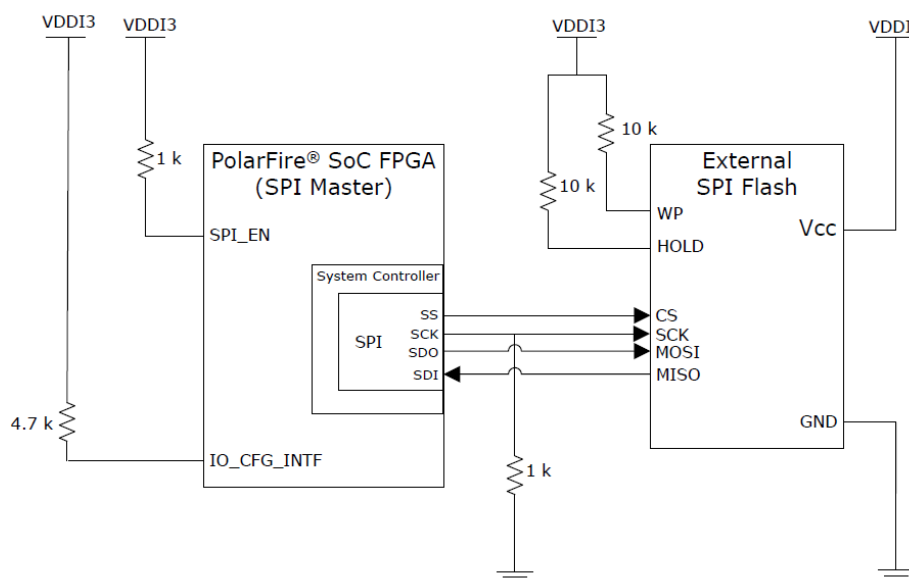


表 1-9 に、SPI マスタモード プログラミング ピンの一覧を示します。

表 1-9. SPI マスタモード プログラミング ピン

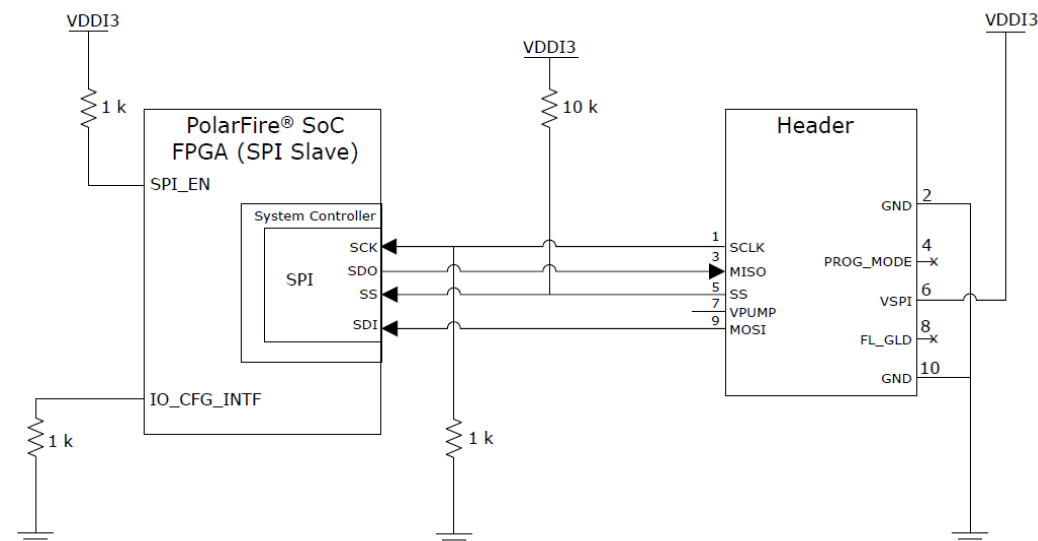
SPI ピン名	方向	未使用時の状態	概要
SCK	双方向	10 kΩ 抵抗を介して VSS に接続する必要があります。	SPI クロック ¹
SS	双方向	10 kΩ 抵抗を介して VSS に接続する必要があります。	SPI スレーブを選択 ¹
SDI	入力	10 kΩ 抵抗を介して VDDI3 に接続する必要があります。	SDI 入力 ¹
SDO	出力	DNC	SDO 出力 ¹
SPI_EN	入力	10 kΩ 抵抗を介して VSS に接続する必要があります。	SPI イネーブル 0: SPI 出力を 3 ステートにする 1: SPI を有効にする 抵抗を介してプルアップまたはプルダウンするか、外部信号源から動的に駆動する事で、SPI I/O を有効または 3 ステートにします。
IO_CFG_INTF	入力	10 kΩ 抵抗を介して VSS に接続する必要があります。	SPI I/O コンフィグレーション 0: SPI スレーブ インターフェイス 1: SPI マスタ インターフェイス 抵抗を介してプルアップまたはプルダウンするか、外部信号源から動的に駆動する事で、SPI のモード (マスタ/スレーブ) を指定します。

(1) SCK、SS、SDI、SDO ピンはシステム コントローラと FPGA ファブリックの間で共有されます。システム コントローラの SPI が有効かつマスタとして設定されている場合、システム コントローラはデバイスの電源投入後に SPI の制御権をファブリックに渡します。

1.8.3 SPI スレーブモード プログラミング

図 1-8 に、PolarFire SoC における SPI スレーブモード プログラミング向けの基板レベル接続を示します。

図 1-8. SPI スレーブモード プログラミング



1.9 シリアルピン

シリアルピンの詳細は『UG0902: PolarFire SoC FPGA Packaging and Pin Descriptions User Guide』を参照してください。

1.10 トランシーバ

トランシーバ ブロックは、PolarFire SoC の East 端に配置されています。PolarFire SoC デバイスは、PCIe インターフェイス(トランシーバ Quad_0 のみサポート)をサポートします。

PCIe インターフェイスの実装に関する詳細は、『PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide』を参照してください。その他のトランシーバ ベースのインターフェイスと電源の実装に関する詳細は、『PolarFire FPGA and PolarFire SoC FPGA Transceiver User Guide』を参照してください。

PolarFire SoC MPFS250T-FCG1152 は以下を備えています。

- 4x トランシーバ クワッド (クワッドあたり 4 レーン) - XCVR_[3:0]
- 組み込み PCIe コントローラ サブシステム(PCIESS) - Quad_0 または XCVR_0 レーン内でのみ利用可能

サポートする I/O 規格の詳細は、『PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide』を参照してください。

1.10.1 リファレンス クロック

トランシーバ リファレンス クロックは、送信機能用に各送信 PLL へ供給されると共に、受信クロックデータ リカバリ(CDR)用に各レシーバレーンへ供給されます。

1.10.1.1 トランシーバリファレンス クロックの要件

トランシーバリファレンス クロックの要件は以下の通りです。

- 差動クロック入力をリファレンス クロックに提供する場合:
 - トランシーバリファレンス クロックピン向けに ODT が有効である事
 - クロック周波数は 20 MHz~400 MHz のレンジ内である事
- I/O 規格の許容誤差レンジ内である事。これらの入力規格を基板上の外付け部品を必要とせずに直接サポートするリファレンス入力バッファが提供される事。LVCMOS25、SSTL18、LVDS25、HCSL25 等のリファレンス I/O がサポートされる事。詳細は、『PolarFire FPGA and PolarFire SoC FPGA Transceiver User Guide』内の表「Reference Clock Input Buffer Standards」を参照してください。

PHY の詳細仕様は『PCI Express Base specification Rev 2.1』を参照してください。PCIe Add-in Card Electro-Mechanical (CEM) の仕様も参照してください。

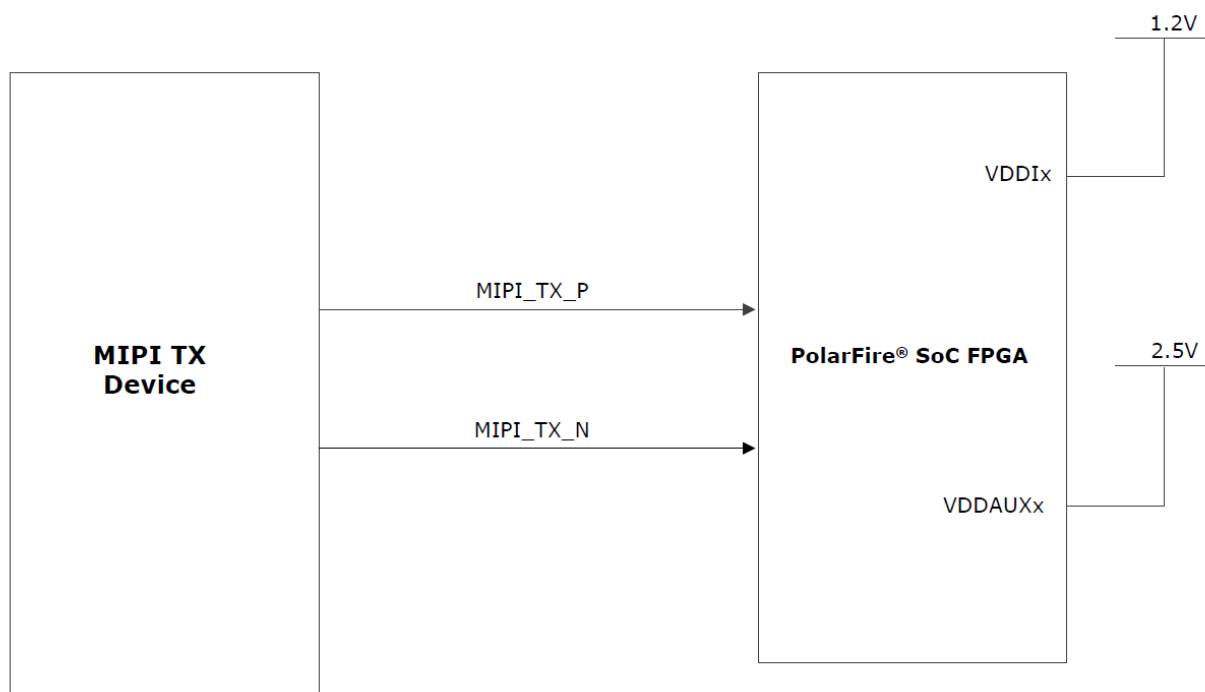
1.11 MIPI ハードウェア設計ガイドライン

以下では、PolarFire SoC デバイスを使って MIPI RX および TX インターフェイスを設計するためのガイドラインについて説明します。

1.11.1 MIPI RX

MIPI RX は、GPIO バンクでのみサポートされます。対応するバンク電圧(VDDI)と VDDAUX 電圧を図 1-9 に示す通りに接続する必要があります。

図 1-9. MIPI RX の接続



MIPI RX 信号は以下の通りに接続します。

- 4つのデータおよびクロックは1つの DDR_Lane 内で接続する必要があります。
- データ信号が5つ以上存在する場合、データ信号を隣接する DDR_Lane に接続します。
- MIPI RX クロックを CLKIN ピンに接続する必要があります。

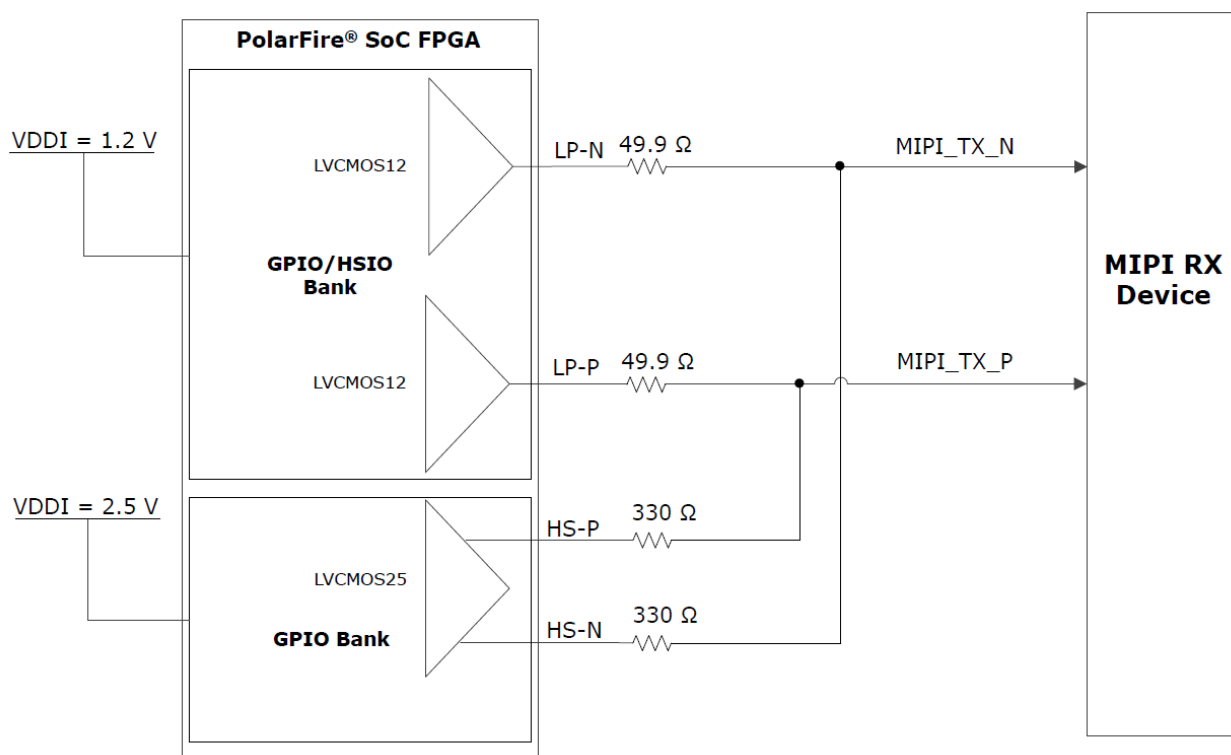
DDR_Lane の詳細は、[『PolarFire SoC Packaging Pin Assignment Table \(PPAT\)』](#)を参照してください。

1.11.2 MIPI TX

MIPI 低消費電力(LP)信号は、1.2 V GPIO/HSIO バンク電源に接続する必要があります。高速(HS)信号は 2.5 V GPIO バンク電源に接続する必要があります。LP スタブを最小化するため、隣接する HS ピンと LP ピンを選択します。HS データとクロック信号は 1 つの DDR_Lane 内で接続する必要があります。DDR_Lane の詳細は、[『PolarFire SoC Packaging Pin Assignment Table \(PPAT\)』](#)を参照してください。

MIPI TX 規格は、低消費電力(LP) および高速(HS) 信号向けに抵抗分圧回路を使う事により実装できます(図 1-10 参照)。図中の抵抗値により、最大 1 Gbps のスループットが得られます。

図 1-10. MIPI TX の接続



Note: 回路のレイアウトへ進む前に、Libero SoC ツール内で PDC ファイルによるデザイン制約のチェックを行う必要があります。MIPI RX の電氣的特性は、[『PolarFire SoC FPGA Advance Datasheet』](#)を参照してください。

MIPI のレイアウト ガイドラインは、[3.1 「MIPI」](#)を参照してください。

1.12 AC および DC 結合

リンク検出を可能にするため、PCIe レーンの各送信チャンネルには AC 結合が必要です。データ信号に同じビット値が連続する長いデータストリングが含まれる場合に過剰な低周波ドロップを防ぐため、十分な容量値を持つ AC 結合コンデンサをデバイスの外部で接続する必要があります。非 PCIe アプリケーションの場合、デバイス間の共通モードの不一致を防ぐため、AC 結合済みの入力を PolarFire SoC で受信する事を推奨します。リンク信号の品質を最大限に高めるために、AC 結合には[『PolarFire SoC FPGA Advance Datasheet』](#)に記載の電氣的仕様に適合した適切な容量 (例: 0.1 μF) のコンデンサを使う必要があります。

データシートに従い、低データレートでは PolarFire SoC トランシーバの Tx および Rx インターフェイスは、オプションの設定により DC カップリングをサポートします。PolarFire SoC トランスミッタを使って PolarFire SoC レシーバを DC 結合モードで駆動する場合、トランスミッタ向けに最低の共通モード設定を選択する必要があります。

1.13 ブラウンアウト検出

PolarFire SoC FPGA の機能は、VDD がデータシートに記載されている推奨レベルを上回る場合にのみ保証されます。ブラウンアウト検出は、VDD が最低推奨動作電圧を下回った時に発生します。これが発生した場合、デバイスの動作は信頼できません。ブラウンアウト中にデバイスの一部の機能が期待通りに動作しない場合があるため、電源電圧が推奨レベルまで回復した後も回路が正しく動作しない可能性があります。VDD 電源は、内蔵ブラウンアウト検出回路によって保護されます。

2. 基板設計チェックリスト

以下には、Microchip PolarFire SoC FPGA を使ったハードウェア向けの基板設計チェックリストを記載しています。このチェックリストは、設計者を支援するための要約されたチェックリストです。

2.1 前提条件

この後の内容を読み進める前に、本書内の以下の項目に目を通しておいってください。

- [はじめに](#)
- [補遺:一般的なレイアウト ガイドライン](#)

このチェックリストは、あくまでもガイドラインを提供する事を目的としています。PolarFire SoC ファミリは、100K~400K 個のロジックエレメント(LE)を含む SoC FPGA で構成されます。

2.2 設計チェックリスト

表 2-1 に、システム設計中に注意する必要がある各種チェック項目を示します。

表 2-1. 設計チェックリスト

ガイドライン	適否	注釈
前提条件		
– 『PolarFire SoC FPGA Advance Datasheet』を参照してください。	—	—
– 『PolarFire SoC FPGA Packaging and Pin Descriptions User Guide』を参照してください。	—	—
PolarFire SoC 評価用キットの基板レベル回路図を参照してください。	—	—
デバイスの選択		
利用可能な PolarFire SoC FPGA デバイスを確認します。 – I/O ピン数、トランシーバ、パッケージ、位相ロックループ(PLL)、速度グレードに基づいて最適なデバイスを選択します。	—	—
PolarFire SoC FPGA エラッタ内でそのデバイスに関連するエラッタを確認します。	—	—
設計チェックリスト		
消費電力解析 『PolarFire SoC FPGA Power Estimator』をダウンロードし、必要電力を確認します。 詳細は『UG0897: PolarFire SoC FPGA Power Estimator User Guide』を参照してください。	—	—
電源のチェックリスト 使用する電源レールについては、 1.1 「電源」 を参照してください。未使用の電源レールについては、 1.1.2 「未使用電源」 と 図 1-3 を参照してください。	—	—
デカップリング コンデンサ 推奨とは異なるコンデンサを使う場合、PI 解析を実行します。	—	—
クロック		
動的位相シフトポートの詳細は、『PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide』内の Table 6 を参照してください。 XCVR リファレンス クロックのレンジは 20 MHz~400 MHz です。	—	—

.....続き		
ガイドライン	適否	注釈
グローバル クロック回路は、以下のいずれかにより駆動できます。 – 優先クロック入力(CLKIN_z_w) – 内部オシレータ – CCC (PLL/DLL) – XCVR インターフェイス クロック 高速 I/O クロック 高速 I/O クロック回路は I/O または CCC により駆動可能です。高速 I/O クロックは、隣接する CCC のリファレンス クロック入力に固定配線を介して供給できます。 CCC CCC は、高速 I/O クロック回路を駆動する PLL または DLL クロックを出力するよう設定できます。	—	—
グローバル バッファ(GB) は専用グローバル I/O、CCC、ファブリック(標準 I/O)経路のいずれかを介して駆動できます。グローバル回路は、低スキュー信号または高ファンアウト ネットを分配する複数の GB により構成されます。 専用グローバル I/O は GB を直接駆動します。この I/O は、遅延を最小化するために外部クロック入力を内部グローバル クロック回路に接続するための基本信号源です。 グローバル クロック回路の詳細は、『PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide』 を参照してください。	—	—
リセット		
DEVRST_N とユーザリセットの詳細は、 1.6 「リセット」 を参照してください。	—	—
DDR インターフェイス		
DDR の接続経路と回路構成の詳細は、 『PolarFire FPGA and PolarFire SoC FPGA Memory Controller User Guide』 を参照してください。	—	—
プログラミングとデバッグ プログラミングとデバッグについては、1.8 「デバイスのプログラミング」 を参照してください。	—	—
XCVR (トランシーバ)		
XCVR の詳細は、 『PolarFire FPGA and PolarFire SoC FPGA Clocking Resources User Guide』 を参照してください。	—	—
I/O ギアリング インターフェイスに対しては、正しい I/O を選択する事により、定義された要件に基づいてクロックとデータを配置します。ユーザ I/O の配置に関する詳細は、 『PolarFire FPGA and PolarFire SoC FPGA User I/O User Guide』 を参照してください。	—	—
1 本の IO_CFG_INTF ピンが入力として使えます。	—	—
『UG0902: PolarFire SoC FPGA Packaging and Pin Descriptions User Guide』 内のバンク配置図を参照し、プリント基板(PCB)上の主要部品の配置案を評価してください。	—	—

2.3 レイアウト チェックリスト

表 2-2 に、レイアウトのチェックリストを示します。

表 2-2. レイアウト チェックリスト

ガイドライン	適否
電源	
全てのデカップリング コンデンサに 0402 より小さなサイズのコンデンサを使っているか？	—
コア電圧に対して必要な銅箔形状を確保しているか？	—
電圧に対して必要な銅箔形状とビアを確保しているか？	—
DDR _x 参照電源向け VREF プレーンはノイズの多いプレーンから分離しているか？	—
DDR _x コアと VTT 電源に対して十分な数のデカップリング コンデンサを使っているか？	—
DDR _x 向けに 2 つの VTT 終端抵抗に対して 1 つの 0.1 μ F コンデンサを使っているか？	—
VTT プレーンの幅は十分か？	—
DDR メモリ	
DDR メモリ向けに Micron 社が推奨する等長配線基準に従っているか？	—
XCVR	
XCVR 向けに推奨される等長配線基準に従っているか？	—
PCIe インターフェイスに対して DC ブロック コンデンサは必要か？	—
トランシーバの配線において厳密にインピーダンスが制御されているか？	—
差動ビアはトランシーバ配線のインピーダンスと一致するように設計されているか？	—
DC ブロック コンデンサのパッドはトランシーバ配線のインピーダンスと一致するように設計されているか？	—
誘電体材質	
重要な基板層に対して適切な PCB 材質が選択されているか？	—

3. 補遺: 一般的なレイアウト ガイドライン

PolarFire SoC を実装するハードウェア基板のレイアウトに関するガイドラインを以下に記載します。これらのガイドラインは、標準的な基板レベルのレイアウト手順への補足として提供されます。

これらのガイドラインは、PolarFire SoC FPGA デバイス、デジタル回路基板レイアウト、配線の基礎知識とシグナル インテグリティを熟知した読者向けに書かれています。

3.1 MIPI

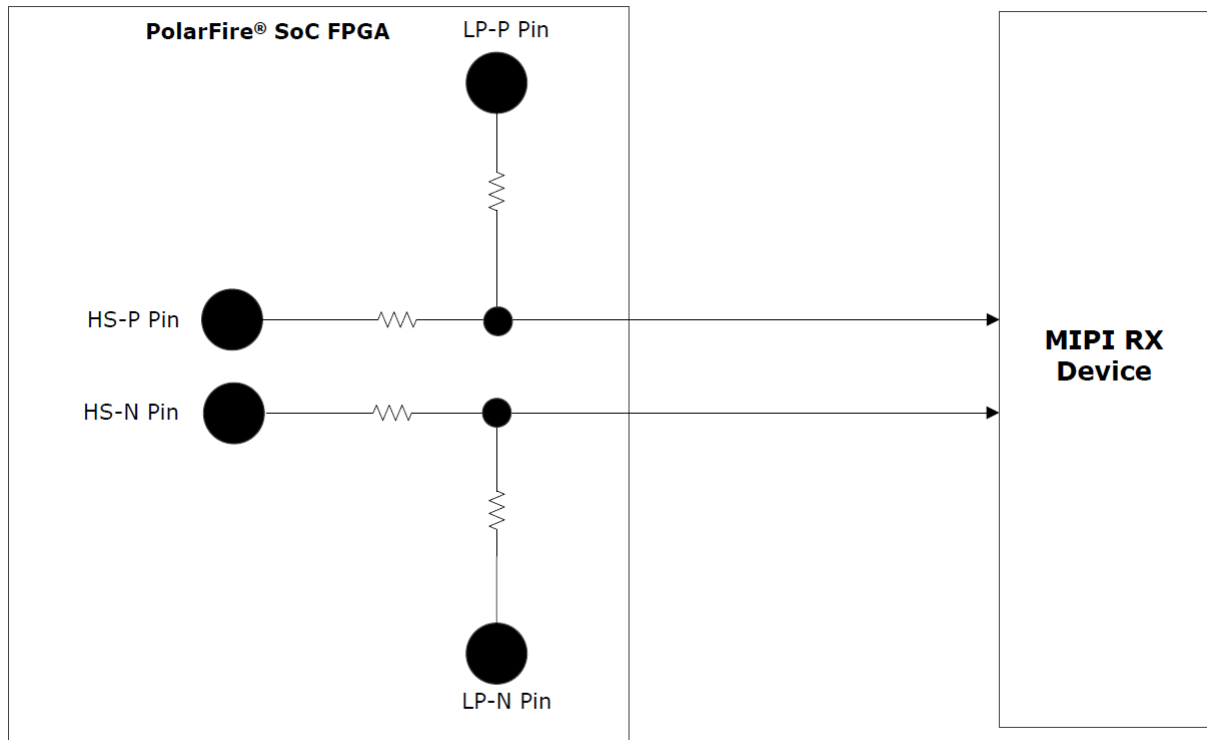
MIPI RX のレイアウト ガイドライン:

データとクロックの PCB 内の配線長の差は 20 mil 以内である必要があります。

MIPI TX のレイアウト ガイドライン:

図 3-1 に示す通り、LP 抵抗と HS 抵抗は PolarFire SoC のデバイスピンに近付ける必要があります。LP 信号の PCB スタブ長を最小化するため、HS 信号は LP 抵抗へと配線する必要があります。LP 信号スタブは 500 mil 未満である必要があります。データレーンとクロックの配線長の差は 20 mil 以内である必要があります。サポートされる最大長は 8 インチです。

図 3-1. MIPI TX のレイアウト



3.2 トランシーバ

本デバイスの内蔵トランシーバは 250 Mbps~12.7 Gbps のレンジを有し、マルチギガビットとマルチ プロトコルに対応する高速シリアル接続を提供します。

これらのトランシーバ ベース インターフェイスを扱うシステム設計者は業界標準規格、トランシーバ技術、RF/マイクロ波 PCB 設計手法を熟知している必要があります。しかし、知識が豊富な高速デジタル PCB 設計者ならば PCB の設計を評価できます。

3.2.1 レイアウトに関する注意事項

以下では、PCB をレイアウトする際に注意を要する差動信号トレースとスキューのマッチングについて解説します。

3.2.1.1 差動トレース

差動トレースには以下の特性のマッチングが必要です。

- インピーダンス
- 挿入損失と反射損失
- スキュー

高速差動トレースには、これらのマッチングを確保するために以下の点に配慮する必要があります。

- 差動トレースの長さ(スキュー) のマッチングが正確に取れるように配線する必要があります。長さが異なると、差動信号がコモンモードに変換されてしまいます。
- 差動ペアはスキューが 5 mil 以下となるように配線する必要があります。このためには、次に説明するトレース長のマッチングテクニックが必要です。

3.2.1.2 スキューのマッチング

差動レーンの長さは、TX および RX グループ内で一致させる必要があります。これは XAUI 等の特定プロトコルにのみ適用されます。

スキューのマッチング方法を図 3-2 に示します。

図 3-2. スキューのマッチング

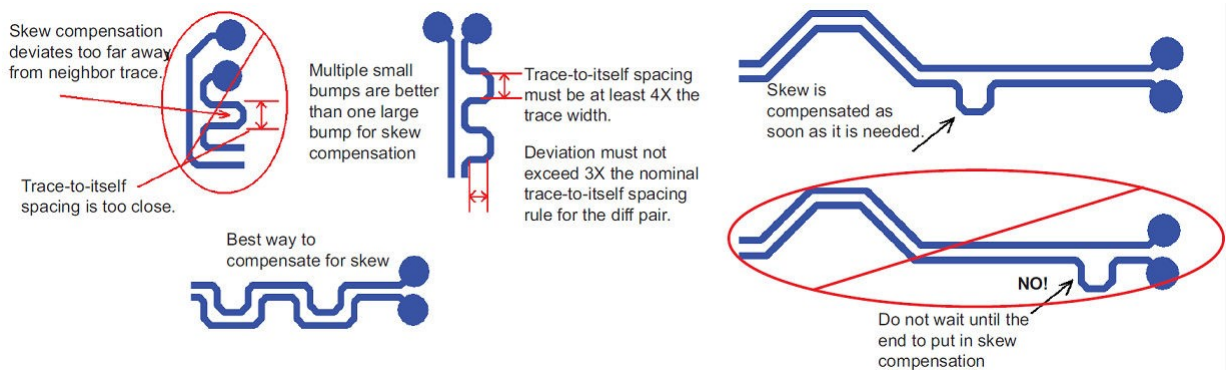


図 3-3 に示す通り、差動ペアは構造に対して対称性を保って配置する必要があります。

図 3-3. 差動ペアの構造に対する配置



信号が高速になるにつれ皮相効果が支配的となります。皮相効果を低減するため、トレースの幅を大きくする必要があります(疎結合差動トレース)。しかし、トレース幅を大きくすると誘電損失が増加します。誘電損失を最小化するため、低散逸率(DF)の PCB (Nelco 4000-13EP SI 等)を使います。コストは FR4 PCB より少し増加しますが、長いトレースによる接続が必要となる場合、FR4 では十分に大きなアイパターンの開口は得られません。85~100 Ω の差動インピーダンスを確保する必要があります。データレートが 5 Gbps 以上である場合、これは重要なガイドラインとなります。

遠端クロストークは、ストリップライン配線を使って排除します。しかし、この種のストリップライン経路は誘電損失を増加させます。誘電損失を最小化するため、差動ペア同士の間には十分な間隔(トレース幅の 4 倍以上)が取れる場合はマイクロストリップとして配線することを推奨します。シミュレーションにより最適な配線を検討する事を推奨します。

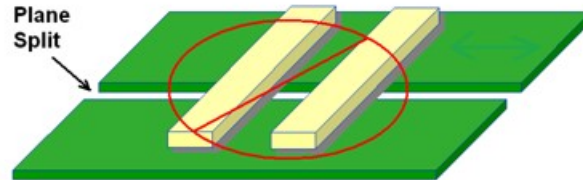
製造業者には、前記の PCB 素材を使うよう製造前に指示しておく必要があります。

トランシーバ トレースは、影響力の強い回路またはクロックトレースから遠ざける必要があります。例えば MPF300 デバイスの場合、トランシーバと DDR のトレースを互いに近付けてはいけません。トレースのスタブは避ける必要があります。

表面粗度が低い (表面が滑らかな) 銅箔を使う事を推奨します。信号レートが高い場合、銅箔の表面疎度が高いと挿入損失が増加します。表皮効果に起因する減衰は、周波数の平方根に比例して増加します。周波数が 2 Gbps を超える場合、表面が平滑な銅箔を使うよう PCB 製造業者に指示する事を推奨します。

リファレンス プレーンの分割は避けるべきです。全てのトランシーバ レーンに対して、グランドプレーンをリファレンス プレーンとして使う必要があります。

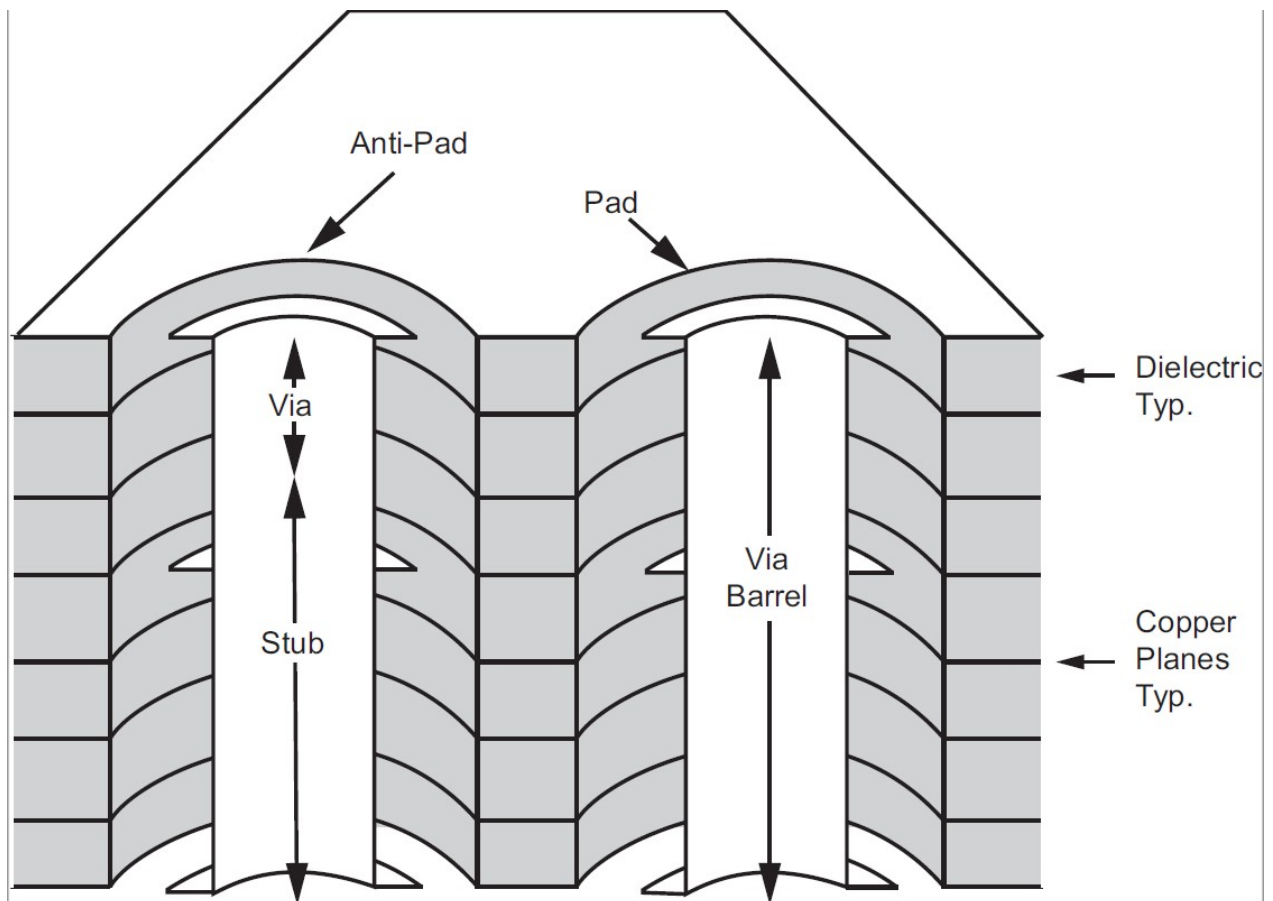
図 3-4. リファレンス用グランドプレーン



3.2.1.3 ビア

ビアの目標インピーダンスは、パッドとのクリアランス (アンチパッド サイズ)を調整する事により設計します。積層に応じてビアを最適化するために電磁界ソルバーを使う必要があります。

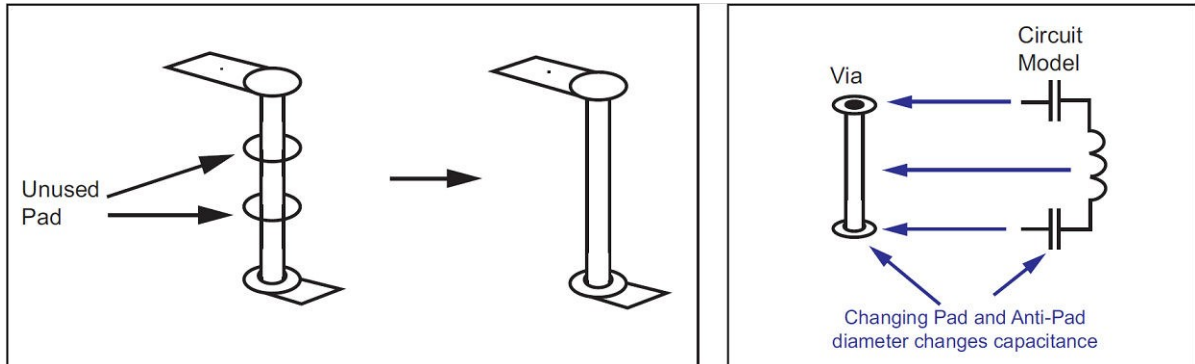
図 3-5. ビアの設計



- さまざまなトレースで多数のビアを使う事は避け、ビアの数を最小限にする必要があります。
- ビアのバックドリル、基板表面近くの層から底面近くの層への信号経路、ブラインドビアまたは埋め込みビアの使用によってビアスタブの最短化を図る必要があります。ブラインドビアとバックドリルは、ビアスタブを排除して反射を防ぐために効果的です。

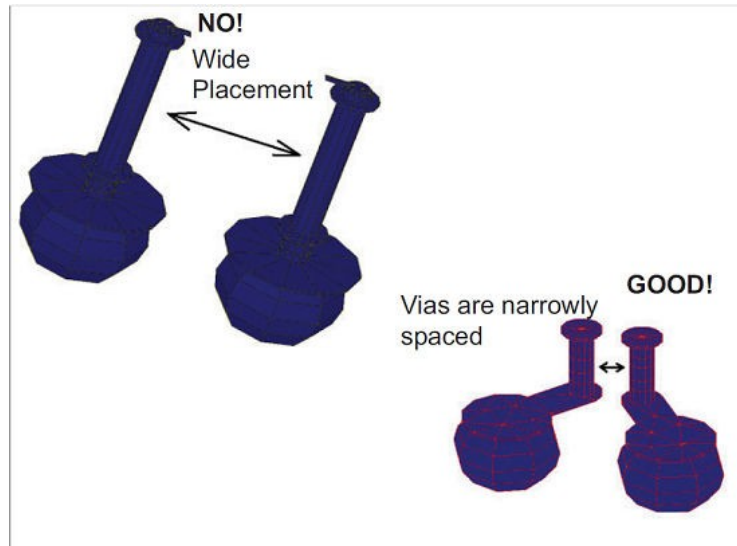
- 可能であれば未使用パッドを取り除きます。ビアに対する未使用パッドとは、トレースが何も接続されていないパッドです。そのようなパッドを削除する事で、ビア容量とパッドのスタブ効果を低減できます。

図 3-6. ビアの未使用パッド



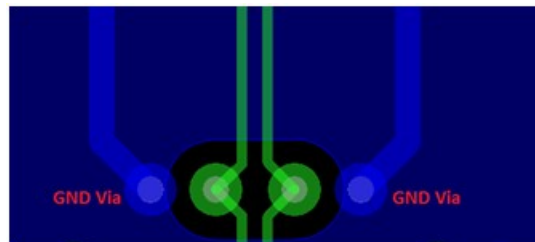
ビアを狭いピッチで配置する事により、クロストークの影響を低減する効果が得られます(図 3-7 参照)。

図 3-7. ビア間のピッチ



コモンモード信号成分の不連続性を低減するため、対称的に配置したグラウンドビア (リターンビア)を使う必要があります(図 3-8 参照)。TX 信号と RX 信号には、コモンモード成分を GND に戻す連続的なリターンパスが必要です。リターンビアは、連続性を維持するために役立ちます。

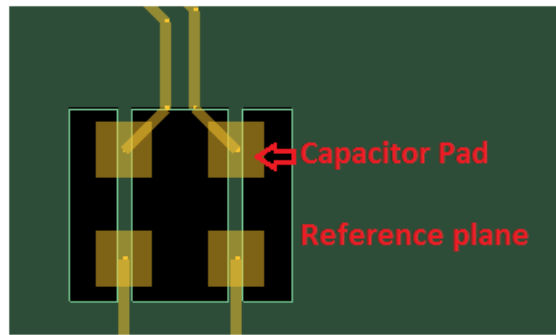
図 3-8. グラウンドビア (リターンビア)



3.2.2 DC ブロック コンデンサ

DC ブロック コンデンサ パッドの直下のプレーンは、パッドのインピーダンスを 50 Ω にマッチングさせるために除去する必要があります(図 3-9 参照)。

図 3-9. コンデンサパッド下のリファレンス プレーン



4. 改訂履歴

本書に適用された変更の履歴は以下の通りです。新しいリビジョンから順番に記載しています。

リビジョン	日付	概要
B	2021 年 10 月	このリビジョンでの主な変更内容は以下の通りです。 - 表 1-5 内の I/O グリッチを緩和するための電源投入/遮断シーケンシング要件を更新しました。 1 mm パッケージ向けに推奨するデカップリング コンデンサに 0402 サイズの 1 nF、2.2 nF、10 nF、0.1 μF コンデンサを追加しました (表 1-4 参照)。 - 表 1-1 の下の VDD と VDDA に関する Note に情報を追加しました。 - 表 1-2 と表 1-3 の下に、表内のデカップリング コンデンサ値の適用条件を示す Note を追加しました。
A	2021 年 1 月	このリビジョンでの主な変更内容は以下の通りです。 1.2 「I/O グリッチ」を更新しました。 1.1.2 「未使用電源」を更新しました。 - 文書全体を Microsemi 社の書式から Microchip 社の書式へと変更しました。文書番号を 50200901 から DS60001681A へ変更しました。
1.0	—	本書の初版です。

Microchip 社の FPGA サポート

Microchip 社の FPGA 製品グループはカスタマサービス、カスタマ技術サポート、ウェブサイト、世界各地の営業所を含む各種のサポートサービスを提供しています。サポートチームにお問い合わせになる前に、弊社のウェブサイトをご覧ください。多くの場合、お客様に必要な情報は弊社ウェブサイトで見つかります。

技術サポートセンターにはウェブページ(www.microchip.com/support)からお問い合わせください。Microchip Support Case を作成する際は、FPGA 製品番号を指定し、適切なケースカテゴリを選択し、設計ファイルをアップロードしてください。

その他の製品サポート(価格、アップグレード、更新情報、注文ステータス、認証等)につきましては、カスタマサービスにお問い合わせください。

- 北米からのお問い合わせ電話番号: **800-262-1060**
- その他の地域からのお問い合わせ電話番号: **650-318-4460**
- 全世界からのお問い合わせ FAX 番号: **650-318-8044**

Microchip 社ウェブサイト

Microchip 社はウェブサイト(www.microchip.com)を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。以下を含む各種の情報をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - FAQ(よく寄せられる質問)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip 社のデザイン パートナー プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクタと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/正規代理店)の一覧

製品変更通知サービス

Microchip 社の製品変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

<http://www.microchip.com/pcn> にアクセスし、登録手続きをしてください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用頂けます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。各地の営業所もご利用になれます。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。www.microchip.com/support

Microchip 社のデバイスコード保護機能

Microchip 社製デバイスのコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使った場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。

-
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法は全て Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事です。これらのコード保護機能を解除しようとする行為は、Microchip 社の知的所有権の侵害に該当する可能性が非常に高いと言えます。
 - Microchip 社はコードの保全性に懸念を抱いているお客様と連携して対応策に取り組んでいきます。
 - Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合は、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

法律上の注意点

本書の情報は、Microchip 社の製品を使って設計し使用する事のみを目的として提供しています。デバイス アプリケーション等の情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。

Microchip 社は本書の情報を現状のままで提供しています。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。

いかなる場合も Microchip 社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、また Microchip 社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対する Microchip 社の責任限度額は、使用者が当該情報に関連して Microchip 社に直接支払った額を超えません。

Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、Adapttec、AnyRate、AVR、AVR ロゴ、AVR Freaks、BesTime、BitCloud、chipKIT、chipKIT ロゴ、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、HELDO、IGLOO、JukeBlox、Keeloq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi ロゴ、MOST、MOST ロゴ、MPLAB、OptoLyzer、PackerTime、PIC、picoPower、PICSTART、PIC32 ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST ロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、FlashTec、Hyper Speed Control、HyperLight Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、

ProASIC Plus、ProASIC Plus ロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePicta、TimeProvider、WinPath、ZL は米国における Microchip Technology Incorporated の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、IdealBridge、

In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、Inter-Chip Connectivity、JitterBlocker、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SMART-I.S.、storClad、SQL、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、TSHARC、USBCheck、VariSense、

VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENA は米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービス マークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcom はその他の国における Microchip Technology Incorporated の登録商標です。

GestIC は、その他の国における Microchip Technology Germany II GmbH & Co. KG (Microchip Technology Inc.の子会社)の登録商標です。

その他の商標は各社に帰属します。

© 2021, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

ISBN: 978-1-6683-0245-3

品質管理システム

Microchip 社の品質管理システムについては www.microchip.com/quality をご覧ください。

各国の営業所とサービス

北米

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel:480-792-7200
Fax:480-792-7277
技術サポート :
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel:678-957-9614
Fax:678-957-1455

オースティン, TX
Tel:512-257-3370

ボストン
Westborough, MA
Tel:774-760-0087
Fax:774-760-0088

シカゴ
Itasca, IL
Tel:630-285-0071
Fax:630-285-0075

ダラス
Addison, TX
Tel:972-818-7423
Fax:972-818-2924

デトロイト
Novi, MI
Tel:248-848-4000

ヒューストン, TX
Tel:281-894-5983

インディアナポリス
Noblesville, IN
Tel:317-773-8323
Fax:317-773-5453
Tel:317-536-2380

ロサンゼルス
Mission Viejo, CA
Tel:949-462-9523
Fax:949-462-9608
Tel:951-273-7800

ローリー, NC
Tel:919-844-7510

ニューヨーク, NY
Tel:631-435-6000

サンノゼ, CA
Tel:408-735-9110
Tel:408-436-4270

カナダ - トロント
Tel:905-695-1980
Fax:905-695-2078

アジア / 太平洋

オーストラリア - シドニー
Tel:61-2-9868-6733

中国 - 北京
Tel:86-10-8569-7000

中国 - 成都
Tel:86-28-8665-5511

中国 - 重慶
Tel:86-23-8980-9588

中国 - 東莞
Tel:86-769-8702-9880

中国 - 広州
Tel:86-20-8755-8029

中国 - 杭州
Tel:86-571-8792-8115

中国 - 香港 SAR
Tel:852-2943-5100

中国 - 南京
Tel:86-25-8473-2460

中国 - 青島
Tel:86-532-8502-7355

中国 - 上海
Tel:86-21-3326-8000

中国 - 瀋陽
Tel:86-24-2334-2829

中国 - 深圳
Tel:86-755-8864-2200

中国 - 蘇州
Tel:86-186-6233-1526

中国 - 武漢
Tel:86-27-5980-5300

中国 - 西安
Tel:86-29-8833-7252

中国 - 厦門
Tel:86-592-2388138

中国 - 珠海
Tel:86-756-3210040

アジア / 太平洋

インド - バンガロール
Tel:91-80-3090-4444

インド - ニューデリー
Tel:91-11-4160-8631

インド - プネ
Tel:91-20-4121-0141

日本 - 大阪
Tel:81-6-6152-7160

日本 - 東京
Tel:81-3-6880-3770

韓国 - 大邱
Tel:82-53-744-4301

韓国 - ソウル
Tel:82-2-554-7200

マレーシア - クアラルンプール
Tel:60-3-7651-7906

マレーシア - ペナン
Tel:60-4-227-8870

フィリピン - マニラ
Tel:63-2-634-9065

シンガポール
Tel:65-6334-8870

台湾 - 新竹
Tel:886-3-577-8366

台湾 - 高雄
Tel:886-7-213-7830

台湾 - 台北
Tel:886-2-2508-8600

タイ - バンコク
Tel:66-2-694-1351

ベトナム - ホーチミン
Tel:84-28-5448-2100

ヨーロッパ

オーストリア - ヴェルス
Tel:43-7242-2244-39
Fax:43-7242-2244-393

デンマーク - コペンハーゲン
Tel:45-4485-5910
Fax:45-4485-2829

フィンランド - エスポー
Tel:358-9-4520-820

フランス - パリ
Tel:33-1-69-53-63-20
Fax:33-1-69-30-90-79

ドイツ - ガーヒング
Tel:49-8931-9700

ドイツ - ハーン
Tel:49-2129-3766400

ドイツ - ハイムブロン
Tel:49-7131-72400

ドイツ - カールスルーエ
Tel:49-721-625370

ドイツ - ミュンヘン
Tel:49-89-627-144-0
Fax:49-(89)-627-144/-44

ドイツ - ローゼンハイム
Tel:49-8031-354-560

イスラエル - ラーナナ
Tel:972-9-744-7705

イタリア - ミラノ
Tel:39-0331-742611
Fax:39-0331-466781

イタリア - パドヴァ
Tel:39-049-7625286

オランダ - ドリュエネン
Tel:31-416-690399
Fax:31-416-690340

ノルウェー - トロンハイム
Tel:47-7288-4388

ポーランド - ワルシャワ
Tel:48-22-3325737

ルーマニア - ブカレスト
Tel:40-21-407-87-50

スペイン - マドリッド
Tel:34-91-708-08-90
Fax:34-91-708-08-91

スウェーデン - ヨーテボリ
Tel:46-31-704-60-40

スウェーデン - ストックホルム
Tel:46-8-5090-4654

イギリス - ウォーキンガム
Tel:44-118-921-5800
Fax:44-118-921-5820