

# H.264エンコーダIPユーザーガイド



## はじめに (質問する)

H.264はデジタル動画を圧縮するための広く普及している動画圧縮規格です。MPEG-4 Part10、またはAdvanced Video Coding (MPEG-4 AVC)としても知られています。H.264は動画の圧縮にブロック単位のアプローチを採用しています。ブロックのサイズは16 x 16で、このようなブロックはマクロブロックと呼ばれます。この圧縮規格は、圧縮率と実装の複雑さを規定する各種プロファイルをサポートしています。圧縮されるビデオフレームはIフレーム、Pフレーム、Bフレームとして扱われます。Iフレームは、フレーム内の情報を使って圧縮を行うイントラ符号化フレームです。Iフレームをデコードするのに他のフレームは必要ありません。Pフレームは、前のフレーム(Iフレームまたは別のPフレーム)との変化を使って圧縮されます。Bフレームは前後のフレームとの動きの変化を使って圧縮されます。

IフレームとPフレームの圧縮プロセスには以下の4つの段階があります。

- イントラ/インターフレーム間予測
- 整数変換
- 量子化
- エントロピー エンコード

H.264は以下の2種類のエンコードをサポートしています。

- CAVLC(コンテキスト適応型可変長符号化)
- CABAC(コンテキスト適応型バイナリ算術符号化)

現在のバージョンのH.264エンコーダはベースライン プロファイルを実装し、エントロピー エンコードにCAVLCを使っています。また、IPは最大4K解像度のIフレームとPフレームのエンコードをサポートしています。

## 概要

下表にH.264エンコーダIPの特性の概要を示します。

表1. H.264エンコーダIPの特性

コアのバージョン	本書はH.264エンコーダIP v2.0に適用されます。
サポートされるデバイスファミリ	<ul style="list-style-type: none"><li>• PolarFire® SoC</li><li>• PolarFire</li></ul>
サポートされるツールフロー	Libero® SoC v12.0以上が必要です。
ライセンス	H.264エンコーダIPはライセンスに基づいて暗号化された形式のみで提供されます。 <b>暗号化RTL:</b> 暗号化RTLのソースコードのライセンスはロックされており、別途購入が必要です。Libero Design Suiteを使ってFPGA(フィールド プログラマブル ゲートアレイ) シリコンのシミュレーション、合成、レイアウト、プログラムを実行できます。 H.264エンコーダの機能を確認するため、無償の評価用ライセンスが提供されます。評価用ライセンスは、ハードウェア上で1時間使うと失効します。

## 特長

H.264エンコーダIPの特長は以下の通りです。

- 最大解像度4K (3840 × 2160) 60 fpsまでの圧縮をサポート
- YCbCr 420ビデオ フォーマットで圧縮を実装
- YCbCr 422ビデオ フォーマットの入力を想定
- 各コンポーネント(Y、Cb、Cr)について8ビットをサポート
- ITU-T H.264 Annex B準拠のNALバイトストリーム出力をサポート
- スタンドアロン動作、CPUまたはプロセッサの補助は不要
- 実行時にユーザー設定可能な品質係数QP
- IフレームごとのPフレームの数の動的な設定をサポート
- ユーザー設定可能なスキップブロックのしきい値をサポート
- 各スライスで1クロックあたり1ピクセルのレートで計算
- 最低限のレイテンシ (フルHDで252  $\mu$ s、または水平ライン17本分)
- ビデオアービタ インターフェイスを使ってDDRフレームバッファにアクセス
- 最大4スライスをサポート

## サポートされていない機能

本バージョンのH.264エンコーダでは、以下の機能はサポートされていません。

- Bフレーム
- 8 × 8整数変換
- 水平、垂直、対角、垂直左、水平下、垂直右、水平上の予測

## インストールの方法

IPコアをLiberio<sup>®</sup> SoCソフトウェアのIPカタログにインストールする必要があります。これはLiberio SoCソフトウェアのIPカタログ更新機能によって自動で行うか、またはカタログから手動でダウンロードする事ができます。IPコアがLiberio SoCソフトウェアのIPカタログにインストールされると、SmartDesign内で設定、生成、インスタンス化され、Liberioプロジェクトに組み込まれます。

## リソース利用率 (質問する)

下表にPolarFire<sup>®</sup> FPGA (MPF300TS-1FCG1152Iパッケージ)用に作成されたH.264エンコーダIPのサンプルデザインのリソース利用率をまとめます。このデザインでは、入力データを4:2:2でサンプリングして圧縮データを生成します。

表2. 4k\_support = 0におけるH.264エンコーダIPのリソース利用率

要素	P_Frame = 0 (16x16 DC予測なし)	P_Frame = 0 (16x16 DC予測あり)	P_Frm = 1
4LUT	16888	20916	72785
DFF	17033	18974	65346
LSRAM	75	88	207
$\mu$ SRAM	21	21	31
演算ブロック	19	23	19
インターフェイス4入力LUT	3636	4248	8508
インターフェイスDFF	3636	4248	8508

**表3.** 16x16 DCイントラ予測無しでIフレームのみ使用時のリソース利用率(P\_Frm = 0、4k\_support = 1)

要素	1スライス	2スライス	3スライス	4スライス
4LUT	18440	36541	55306	72646
DFF	18230	36281	54327	72338
LSRAM	88	176	264	352
μSRAM	21	42	63	84
演算ブロック	19	39	59	77
インターフェイス4入力LUT	4104	8244	12384	16452
インターフェイスDFF	4104	8244	12384	16452

**表4.** IフレームとPフレーム使用時のリソース利用率(P\_Frm = 1、4k\_support = 1)

要素	1スライス	2スライス	3スライス	4スライス
4LUT	29720	59441	88410	119000
DFF	35560	71184	106835	142304
LSRAM	146	292	438	584
μSRAM	28	56	84	112
演算ブロック	19	39	59	77
インターフェイス4入力LUT	6276	12588	18900	25140
インターフェイスDFF	6276	12588	18900	25140

# 目次

はじめに.....	1
リソース利用率.....	2
1. H.264エンコーダIPコンフィグレータ.....	5
2. ハードウェアの実装.....	6
2.1. スライス エンコーダの設計概要.....	8
3. H.264エンコーダのパラメータとインターフェイス信号.....	10
3.1. コンフィグレーションパラメータ.....	10
3.2. 入出力.....	10
4. クロック制約.....	14
5. レジスタマップと説明.....	15
5.1. IPバージョン.....	16
5.2. 制御レジスタ.....	17
5.3. H.264エンコーダIPのタイプ.....	18
5.4. Qファクタ.....	19
5.5. IN_Format.....	20
5.6. P_Frame_COUNT.....	21
5.7. Input_Horizontal_Resolution.....	22
5.8. Input_Vertical_Resolution.....	23
5.9. スキップしきい値.....	24
5.10. Iフレーム強制.....	25
5.11. ラインギャップ.....	26
6. テストベンチ シミュレーション.....	27
7. システム統合.....	29
7.1. フルHDまでの解像度に対するシステム統合.....	29
7.2. 4Kまでの解像度に対するシステム統合.....	30
8. 改訂履歴.....	33
Microchip社のFPGAサポート.....	34
Microchip社の情報.....	34
Microchip社ウェブサイト.....	34
製品変更通知サービス.....	34
お客様サポート.....	34
Microchip社のデバイスコード保護機能.....	35
法律上の注意点.....	35
商標.....	35
品質管理システム.....	36
各国の営業所とサービス.....	37

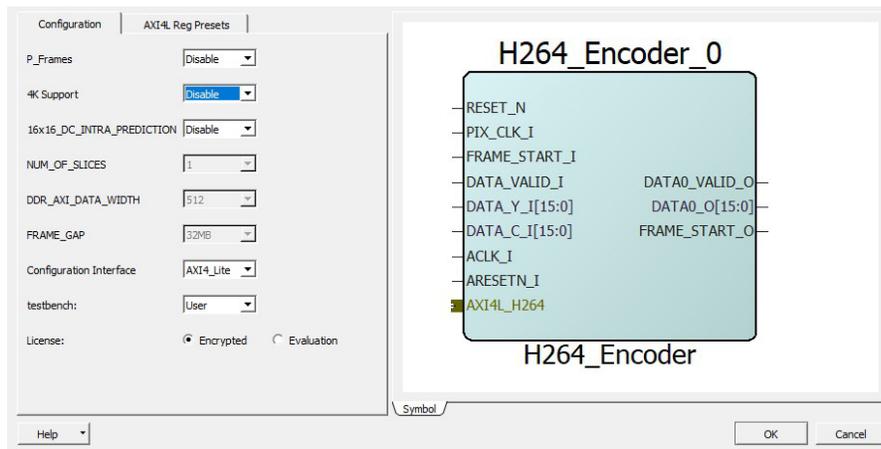
## 1. H.264エンコーダIPコンフィグレータ [\(質問する\)](#)

本セクションでは、H.264エンコーダ コンフィグレータのインターフェイスとその各種コンポーネントの概要について説明します。

H.264エンコーダ コンフィグレータは、H.264エンコーダのコアを特定の要件向けに設定するためのグラフィカル インターフェイスを提供します。このコンフィグレータを使うと、[P\_Frames]、[4K Support]、[16x16\_DC\_INTRA\_PREDICTION]、[NUM\_OF\_SLICES]、[DDR\_AXI\_DATA\_WIDTH]、[FRAME\_GAP]、[Configuration Interface]、[testbench]、[License]等のパラメータを選択できます。H.264エンコーダ コンフィグレータのインターフェイスは各種のドロップダウン メニューとオプションで構成されています。主なコンフィグレーションは表3-1で説明されています。

下図にH.264エンコーダIPコンフィグレータ インターフェイスの詳細を示します。

図1-1. H.264エンコーダIPコンフィグレータ



インターフェイスには、設定したコンフィグレーションを確定する[OK]ボタンと破棄する[Cancel]ボタンもあります。

## 2. ハードウェアの実装 (質問する)

H.264エンコーダIPは以下のコンフィギュレーションをサポートしています。

- Iフレームのみ: 最大解像度1080Pをサポート
- IフレームとPフレーム: 最大解像度1080Pをサポート
- Iフレームのみ: スライスをベースとして最大解像度4Kをサポート
- IフレームとPフレーム: スライスをベースとして最大解像度4Kをサポート

下図にH.264エンコーダIPのブロック図をフレームと解像度の設定ごとに示します。

図2-1. H.264エンコーダのブロック図(P\_Frame = 0、4K = 0)

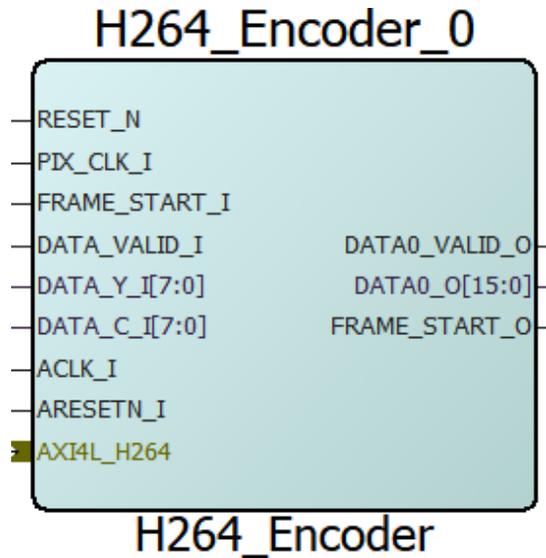


図2-2. H.264エンコーダのブロック図(P\_Frame = 1、4K = 0)

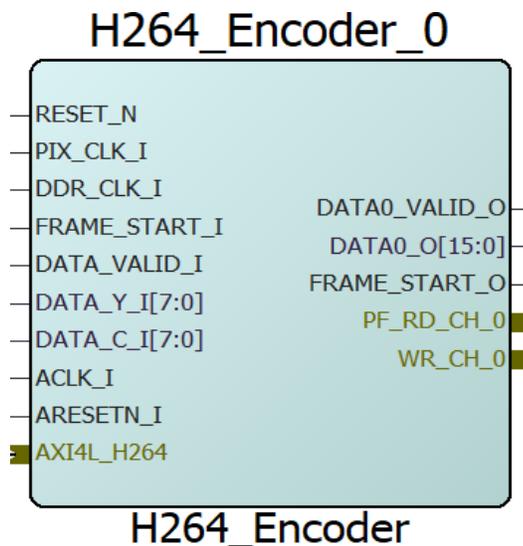


図2-3. H.264エンコーダのブロック図(P\_Frame = 0、4K = 1)

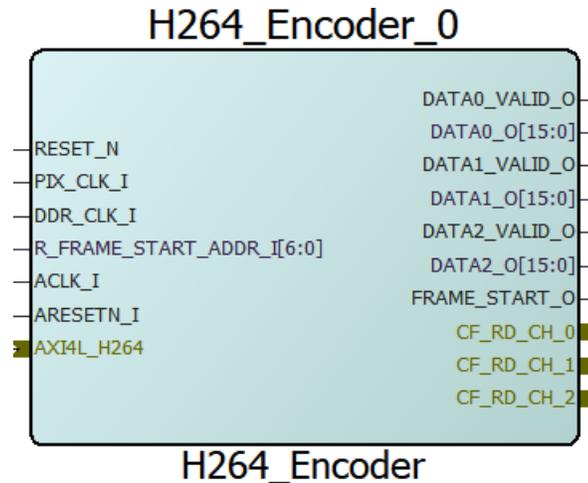
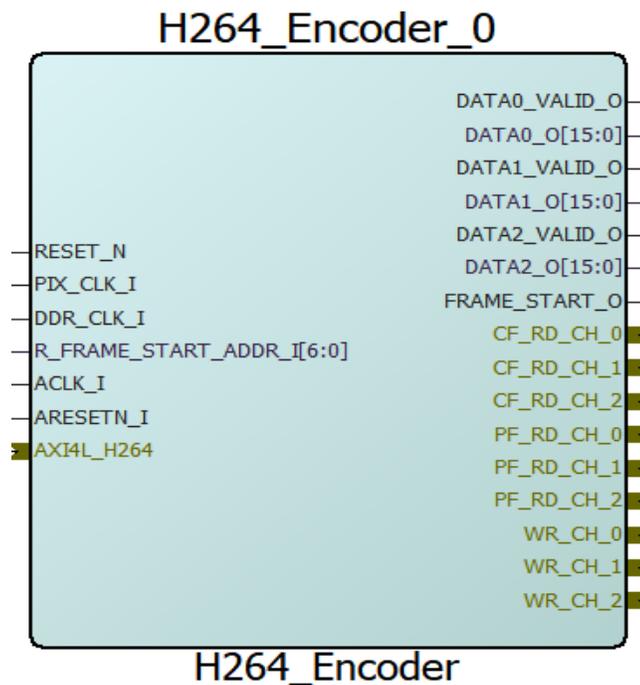


図2-4. H.264エンコーダのブロック図(P\_Frame = 1、4K = 1)

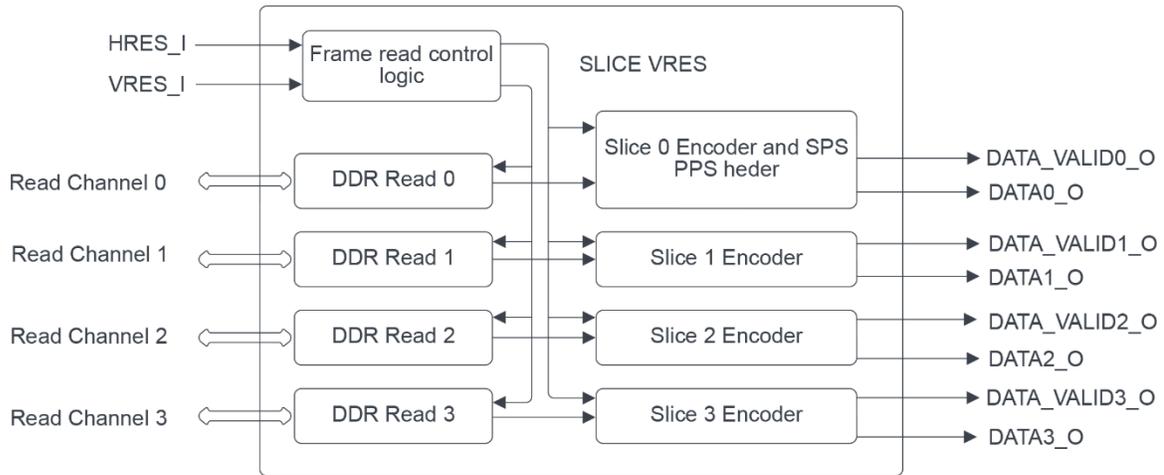


4Kが無効の場合、H.264エンコーダIPは図2-6に示すように1つのスライス エンコーダを使います。H.264エンコーダはYCbCr 422フォーマットのラスタ走査画像の形式である必要があります。H.264エンコーダは422フォーマットを入力として、420フォーマットで圧縮を実装します。

4Kが有効の場合、H.264エンコーダIPは各フレームを1~4スライスに分割し、スライス エンコーダを使ってエンコードします。DDR読み出しロジックは、DDRメモリ内のフレームデータがYCbCr 422フォーマットである事を要求します。DDRメモリ内のフレームの各水平ライン間のラインギャップをDDR\_LINE\_GAP\_I入力で指定する必要があります。スライス0の出力にはSPSおよびPPSヘッダも含まれます。全てのスライスのビットストリームは個別に提供されます。全てのスライスのビットストリームを合わせると、最終的にH.264ビットストリームになります。

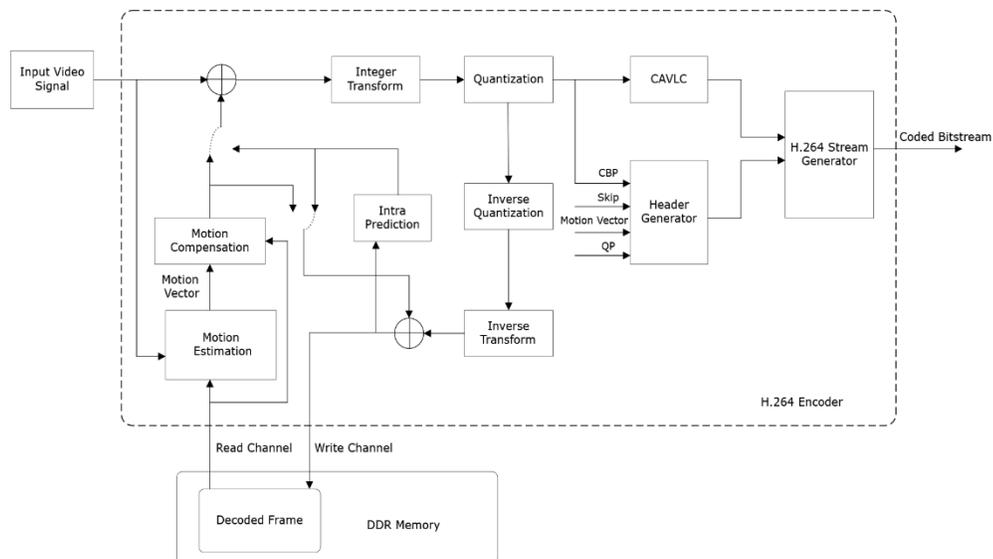
下図にスライス エンコーダとDDR読み出しチャンネルを含むH.264エンコーダIPのブロック図を示します。

図2-5. ブロック図



下図にスライス エンコーダのブロック図を示します。

図2-6. スライス エンコーダのブロック図



## 2.1. スライス エンコーダの設計概要 [\(質問する\)](#)

本セクションでは、スライス エンコーダの各種内部モジュールについて説明します。

### 2.1.1. イントラ予測 [\(質問する\)](#)

H.264では、4 x 4ブロックの情報量を削減するために様々なイントラ予測モードが使われます。IPに含まれるイントラ予測ブロックでは、4 x 4マトリックス サイズに対してDC予測のみを使います。DC成分は上隣と左隣にある4 x 4ブロックから計算されます。QP値が35を超える場合に4 x 4予測を使うとビデオの品質が低下します。より高品質にするには、16 x 16予測を有効にしてください。Pフレームを有効にすると、IフレームのQP値が35に制限され、ビデオの品質が向上します。

### 2.1.2. 整数変換 (質問する)

H.264は整数離散コサイン変換を採用しています。係数は整数変換行列と量子化行列に分散され、整数変換では乗算も除算も行われません。整数変換段階では、シフト演算と加算演算を使って変換を実装します。

### 2.1.3. 量子化 (質問する)

量子化では、整数変換の各出力に対して、事前定義された(QP: ユーザー入力値によって定義される)量子化値を乗算します。QP値のレンジは0~51です。51を超える値は51にクランプされます。QP値が低いほど圧縮率が低く高品質であり、QP値が高いほど圧縮率が高く低品質になります。

### 2.1.4. 動きの予測と補償 (質問する)

4Kが無効の場合、動き予測は現在のフレームの8 x 8ブロックを前のフレームの16 x 16ブロックで検索し、動きベクトルを生成します。

4Kが有効の場合、動き予測は現在のフレームの8 x 8ブロックを前のフレームの8 x 8ブロックと比較し、スキップブロックまたは補償を生成します。

### 2.1.5. CAVLC (質問する)

H.264は以下の2種類のエン트로ピー エンコードを使います。

- CAVLC(コンテキスト適応型可変長符号化)
- CABAC(コンテキスト適応型バイナリ算術符号化)

H.264エンコーダIPではCAVLCを使って量子化された出力をエンコードします。

### 2.1.6. ヘッダ ジェネレータ (質問する)

ヘッダ ジェネレータ ブロックはビデオフレームのインスタンスに応じて、ブロックヘッダ、スライスヘッダ、SPS(シーケンス パラメータセット)、PPS(ピクチャ パラメータセット)、NAL(ネットワーク抽象化層) ユニットの生成します。スキップブロック決定ロジックは、動きベクトルの予測位置から現在のフレームの16 x 16マクロブロックと前のフレームの16 x 16マクロブロックのSAD(差の絶対値の和)を計算します。スキップブロックはSADの値とSKIP\_THRESHOLDの入力を使って決定されます。

### 2.1.7. H.264ストリーム ジェネレータ (質問する)

H.264ストリーム ジェネレータ ブロックはCAVLC出力とヘッダを組み合わせ、H.264の標準フォーマットに従ったエンコード出力を生成します。

### 2.1.8. DDR書き込みチャンネルおよび読み出しチャンネル (質問する)

H.264エンコーダは、デコードしたフレームをDDRメモリに格納する必要があります。このDDRメモリはインターフレーム間予測に使われます。本IPはDDR書き込み/読み出しチャンネルを使ってビデオアービタIPに接続し、ビデオアービタIPはDDRコントローラIPを介してDDRメモリとやりとりします。

### 3. H.264エンコーダのパラメータとインターフェイス信号 [\(質問する\)](#)

本セクションでは、H.264エンコーダGUIコンフィグレータのパラメータとI/O信号について説明します。

#### 3.1. コンフィグレーションパラメータ [\(質問する\)](#)

下表にH.264エンコーダのハードウェア実装で使われる一般的なコンフィグレーションパラメータの説明をまとめます。これらはアプリケーションの要件によって異なる場合があります。

表3-1. H.264エンコーダのコンフィグレーションパラメータ

名前	説明
P_Frames	Pフレームのサポートを有効にするオプションです。
4K Support	4K解像度のサポートを有効にするオプションです。
16x16_DC_INTRA_PREDICTION	4 x 4イントラDC予測と共に16 x 16イントラDC予測を有効にするオプションです。Pフレームが無効の場合のみサポートされます。
NUM_OF_SLICES	コンフィグレーションは4Kが有効の場合のみサポートされます。 <ul style="list-style-type: none"> <li>1スライスを選択: PIX_CLK_Iが135 MHzの時、15 fpsで4Kをサポート</li> <li>2スライスを選択: PIX_CLK_Iが135 MHzの時、30 fpsで4Kをサポート</li> <li>3スライスを選択: PIX_CLK_Iが175 MHzの時、60 fpsで4Kをサポート</li> <li>4スライスを選択: PIX_CLK_Iが135 MHzの時、60 fpsで4Kをサポート</li> </ul>
DDR_AXI_DATA_WIDTH	読み出しチャンネルのDATA幅を選択します。読み出しチャンネルはビデオアービタIPに接続する必要があります。
FRAME_GAP	フレームバッファのサイズを選択します。4Kの場合、32 MBを選択します。
Configuration Interface	以下のインターフェイスの設定をサポートしています。 <ul style="list-style-type: none"> <li>Native: [Native]を選択すると、コンフィグレーションインターフェイスポートが提供されます。</li> <li>AXI4_Lite: AXI4 Liteスレーブインターフェイスが提供されます。この場合、[AXI4L Reg Presets]タブを使ってレジスタのリセット値を設定します。</li> </ul>
Testbench	テストベンチ環境を選択できます。以下のテストベンチオプションがサポートされます。 <ul style="list-style-type: none"> <li>User</li> <li>None</li> </ul>
License	ライセンスの種類を指定します。以下の2つのライセンスオプションがあります。 <ul style="list-style-type: none"> <li>Encrypted</li> <li>Evaluation</li> </ul>

#### 3.2. 入出力 [\(質問する\)](#)

下表にH.264エンコーダIPの入出力ポートの一覧を示します。

表3-2. H.264エンコーダIPの入出力ポート

信号名	方向	幅	説明
RESET_N	入力	1	デザインに対するアクティブLowの非同期リセット信号です。
PIX_CLK_I	入力	1	受信ピクセル サンプリング用の入力クロックです。
DDR_CLK_I	入力	1	DDRメモリ コントローラからのクロックです。
<b>コンフィグレーションインターフェイス</b>			
HRES_I	入力	16	入力画像の水平解像度です。4Kが無効の場合、16の倍数にする必要があります。4Kが有効の場合、64の倍数にする必要があります。
VRES_I	入力	16	入力画像の垂直解像度です。16の倍数にする必要があります。

..... 続き			
信号名	方向	幅	説明
QP_I	入力	6	H.264量子化の品質係数です。値のレンジは0~51で、0が最高品質かつ最小圧縮率で、51が最大圧縮率です。
PCOUNT_I	入力	8	422フォーマットにおけるIフレームごとのPフレームの数です。値のレンジは0~255です。
SKIP_THRESHOLD_I	入力	12	スキップブロック決定のしきい値です。この値はスキップの決定に使われる16 x 16マクロブロックのSAD値を表します。レンジは0~1024で、標準値は512です。しきい値が高いほどスキップブロックが多くなり、品質が低下します。
WFRAME_START_ADDR_I	入力	7/8	再構築されたフレームのDDRフレームバッファのアドレス。フレームギャップが32 MBに設定されている場合は7ビットです。フレームギャップが16 MBに設定されている場合は8ビットです。
DATA_VALID_I	入力	1	入力ピクセルデータの有効信号です。4Kが有効の場合に利用可能です。
DATA_Y_I	入力	8	422フォーマットの8ビットLumaピクセル入力です。4Kが有効の場合に利用可能です。
DATA_C_I	入力	8	422フォーマットの8ビットChromaピクセル入力です。4Kが有効の場合に利用可能です。
ENABLE_I	入力	1	「0」に駆動するとIPを停止します。フレーム処理の途中ではIPを停止しません。
I_FIRCE_I	入力	1	任意のタイミングでIフレームを強制できます。これはパルス信号です。
DATA0_O	出力	16	H.264のスライス0のエンコード済みデータ出力です。これにはNALユニット、スライスヘッダ、SPS、PPS、マクロブロックのエンコード済みデータが含まれます。
DATA0_VALID_O	出力	1	スライス0のエンコード済みデータが有効であることを示す信号です。
DATA1_O	出力	16	H.264のスライス1のエンコード済みデータです。これにはスライスヘッダとマクロブロックのエンコード済みデータが含まれます。
DATA1_VALID_O	出力	1	スライス1のエンコード済みデータが有効であることを示す信号です。
DATA2_O	出力	16	H.264のスライス2のエンコード済みデータです。これにはスライスヘッダとマクロブロックのエンコード済みデータが含まれます。
DATA2_VALID_O	出力	1	スライス2のエンコード済みデータが有効であることを示す信号です。
DATA3_O	出力	16	H.264のスライス3のエンコード済みデータです。これにはスライスヘッダとマクロブロックのエンコード済みデータが含まれます。
DATA3_VALID_O	出力	1	スライス3のエンコード済みデータが有効であることを示す信号です。
DDR_LINE_GAP_I	入力	16	DDRメモリ内の入力画像の水平ライン間のラインギャップです。

..... 続き			
信号名	方向	幅	説明
RFRAME_START_ADDR_I	入力	7/8	入力ビデオフレームのDDRフレームバッファアドレスです。 フレームギャップが32 MBに設定されている場合は7ビットです。 フレームギャップが16 MBに設定されている場合は8ビットです。
FRAME_END_O	出力	1	フレームのH.264ビットストリームの終端を示します。
<b>読み出しチャンネルXアービタ インターフェイス ポート</b>			
Xのレンジは0~7です。読み出しチャンネル0~3はスライス0~3の入力ビデオフレーム読み出しチャンネルに対応し、CF_RD_CH_xという名前が付けられています。読み出しチャンネル4~7はスライス0~3の再構築されたフレームの読み出しチャンネル0~3に対応し、PF_RD_CH_xという名前が付けられています。Pフレームが有効な場合、PF_RD_CHチャンネルを利用可能です。			
RDATAx_I	入力	DDR AXIのデータ幅	アービタからのデータ読み出し
RVALIDx_I	入力	1	アービタからデータ有効読み出し
ARREADYx_I	入力	1	アービタの肯定応答
BUSERx_I	入力	1	読み出し完了
ARADDRx_O	出力	32	読み出しを開始するDDRアドレス
ARVALIDx_O	出力	1	アービタへの読み出し要求
ARSIZEx_O	出力	8	読み出しバーストサイズ
<b>書き込みチャンネルzアービタ インターフェイス ポート</b>			
zのレンジは0~3です。書き込みチャンネル0~3はスライス0~3の再構築されたフレームの書き込みチャンネルに対応しています。			
AWREADYz_I	入力	1	書き込み要求からのアービタの肯定応答
BUSERz_I	入力	1	書き込み完了
WDATAz_O	出力	1	アービタへのデータの書き込み
WVALIDz_O	出力	DDR AXIのデータ幅	アービタへのデータ有効の書き込み
AWADDRz_O	出力	32	書き込み先のDDRアドレス
AWVALIDz_O	出力	1	アービタからの書き込み要求
AWSIZEz_O	出力	8	書き込みバーストサイズ
<b>AXI4 Liteインターフェイス ポート</b>			
ACLK_I	入力	1	AXIクロック
ARESETN_I	入力	1	非同期アクティブLow AXIリセット
AWVALID_I	入力	1	書き込みアドレス有効
AWREADY_O	出力	1	書き込みアドレスレディ
AWADDR_I	入力	32	書き込みアドレス
WDATA_I	入力	32	書き込みデータ
WVALID_I	入力	1	書き込みデータ有効
WREADY_O	出力	1	書き込みデータレディ
BRESP_O	出力	2	書き込み応答
BVALID_O	出力	1	書き込み応答有効
BREADY_I	入力	1	書き込み応答レディ

..... 続き			
信号名	方向	幅	説明
ARADDR_I	入力	32	読み出しアドレス
ARVALID_I	入力	1	読み出しアドレス有効
ARREADY_O	出力	1	読み出しアドレスレディ
RREADY_I	入力	1	読み出しデータレディ
RDATA_O	出力	32	読み出しデータ
RRESP_O	出力	2	読み出しデータ応答
RVALID_O	出力	1	読み出し有効

## 4. クロック制約 (質問する)

H.264エンコーダIPはPIX\_CLK\_I、ACLK\_I、DDR\_CLK\_Iのクロック入力を使います。本IPはCDC (Clock Domain Crossing)を実装しているため、タイミングを検証するには、配置配線にクロックグループ化制約を使う必要があります。

## 5. レジスタマップと説明 (質問する)

オフセット	名前	ビット位置	7	6	5	4	3	2	1	0	
0x00	IP_VER	7:0	IP VERSION[7:0]								
		15:8	IP VERSION[15:8]								
		23:16	IP VERSION[23:16]								
		31:24									
0x04	Control_Register	7:0							IP RESET	ENABLE/ DISABLE	
		15:8									
		23:16									
		31:24									
0x08	H.264 Encoder IP type	7:0							H.264 ENCODER IP TYPE[1:0]		
		15:8									
		23:16									
		31:24									
0x0C	Q Factor	7:0			Q FACTOR[5:0]						
		15:8									
		23:16									
		31:24									
0x10	IN_Format	7:0					IN_FORMAT[3:0]				
		15:8									
		23:16									
		31:24									
0x14	P_Frame_ COUNT	7:0	P_FRAME_COUNT[7:0]								
		15:8									
		23:16									
		31:24									
0x18	Input_Horizontal _Resolution	7:0	INPUT_HORIZONTAL_RESOLUTION[7:0]								
		15:8	INPUT_HORIZONTAL_RESOLUTION[15:8]								
		23:16									
		31:24									
0x1C	Input_Vertical_ Resolution	7:0	INPUT_VERTICAL_RESOLUTION[7:0]								
		15:8	INPUT_VERTICAL_RESOLUTION[15:8]								
		23:16									
		31:24									
0x20	Skip Threshold	7:0	SKIP_THRESHOLD[7:0]								
		15:8	SKIP_THRESHOLD[15:8]								
		23:16									
		31:24									
0x24	I Frame Force	7:0								I FRAME FORCE	
		15:8									
		23:16									
		31:24									
0x28	Line Gap	7:0	LINE_GAP[7:0]								
		15:8	LINE_GAP[15:8]								
		23:16									
		31:24									

## 5.1. IPバージョン (質問する)

名称: IP\_VER

オフセット: 0x000

リセット: 0x20000

プロパティ: 読み出し専用

現在のH.264エンコーダIPのバージョン番号です。

ビット	31	30	29	28	27	26	25	24
	[Grayed out bits]							
アクセス								
リセット								
ビット	23	22	21	20	19	18	17	16
	IP VERSION[23:16]							
アクセス	R	R	R	R	R	R	R	R
リセット	0	0	0	0	0	0	1	0
ビット	15	14	13	12	11	10	9	8
	IP VERSION[15:8]							
アクセス	R	R	R	R	R	R	R	R
リセット	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	IP VERSION[7:0]							
アクセス	R	R	R	R	R	R	R	R
リセット	0	0	0	0	0	0	0	0

Bit 23:0 - IP VERSION[23:0] 現在のH.264エンコーダIPバージョン番号です。

## 5.2. 制御レジスタ (質問する)

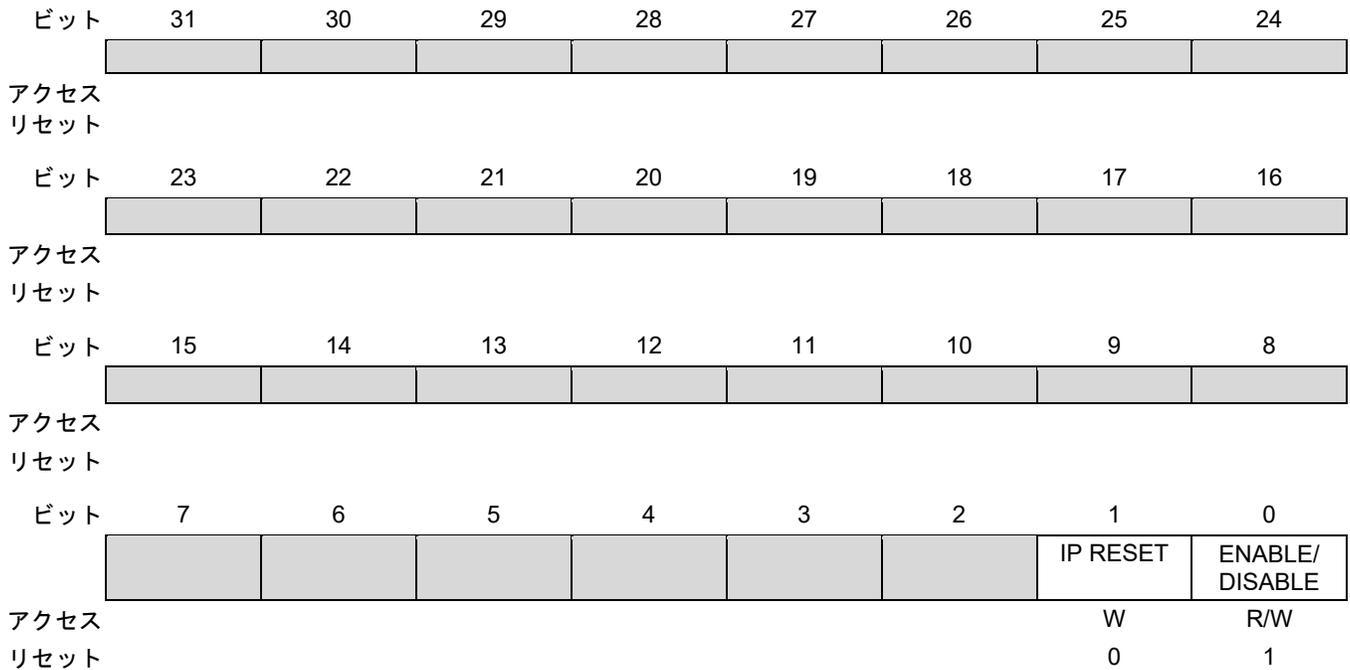
名称: Control\_Register

オフセット: 0x004

リセット: 0x1

プロパティ: 読み/書き可能

H.264 IPをイネーブル/ディセーブル/リセットするレジスタです。



Bit 1 - IP RESET IPコアをリセットするには、このビットに値「1」を1回書き込む必要があります。書き込まれた値は保持されません。

Bit 0 - ENABLE/DISABLE このビットはIPのイネーブル/ディセーブルを制御します。レジスタのビット値1はIPをイネーブルし、0はディセーブルします。

### 5.3. H.264エンコーダIPのタイプ [\(質問する\)](#)

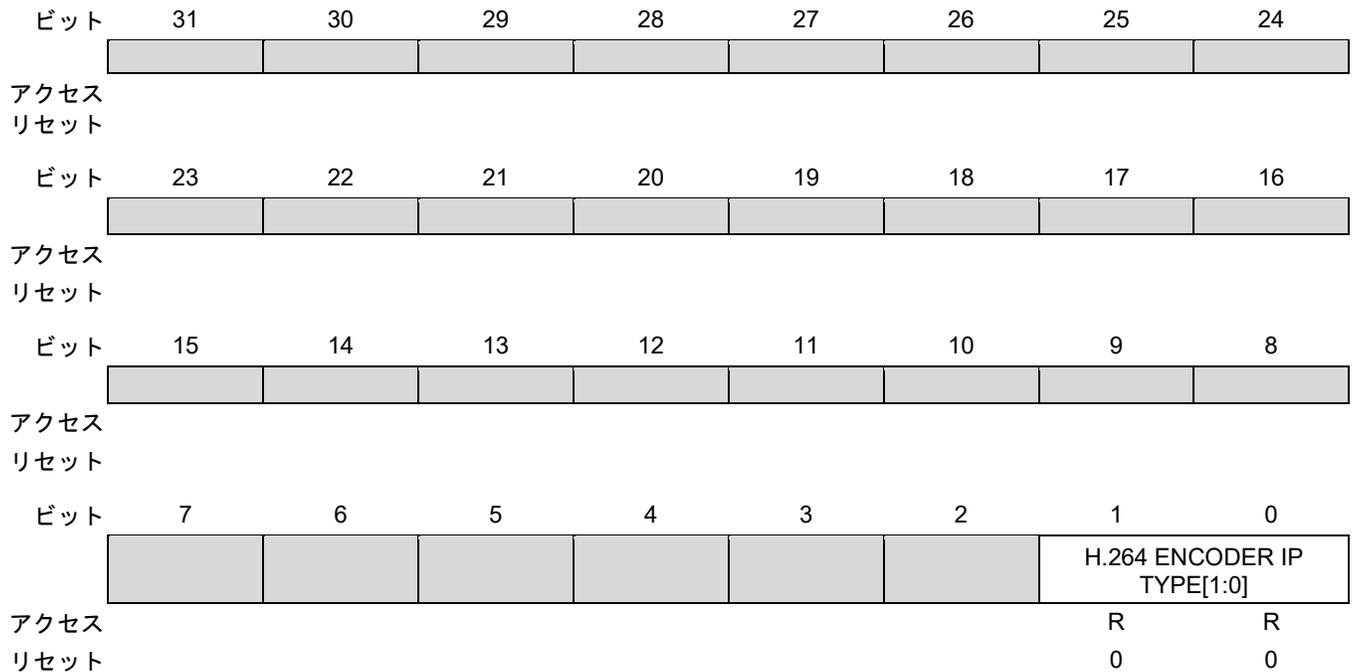
名称: H.264 Encoder IP type

オフセット: 0x008

リセット: 0x0

プロパティ: 読み出し専用

H.264 Encoder IP type

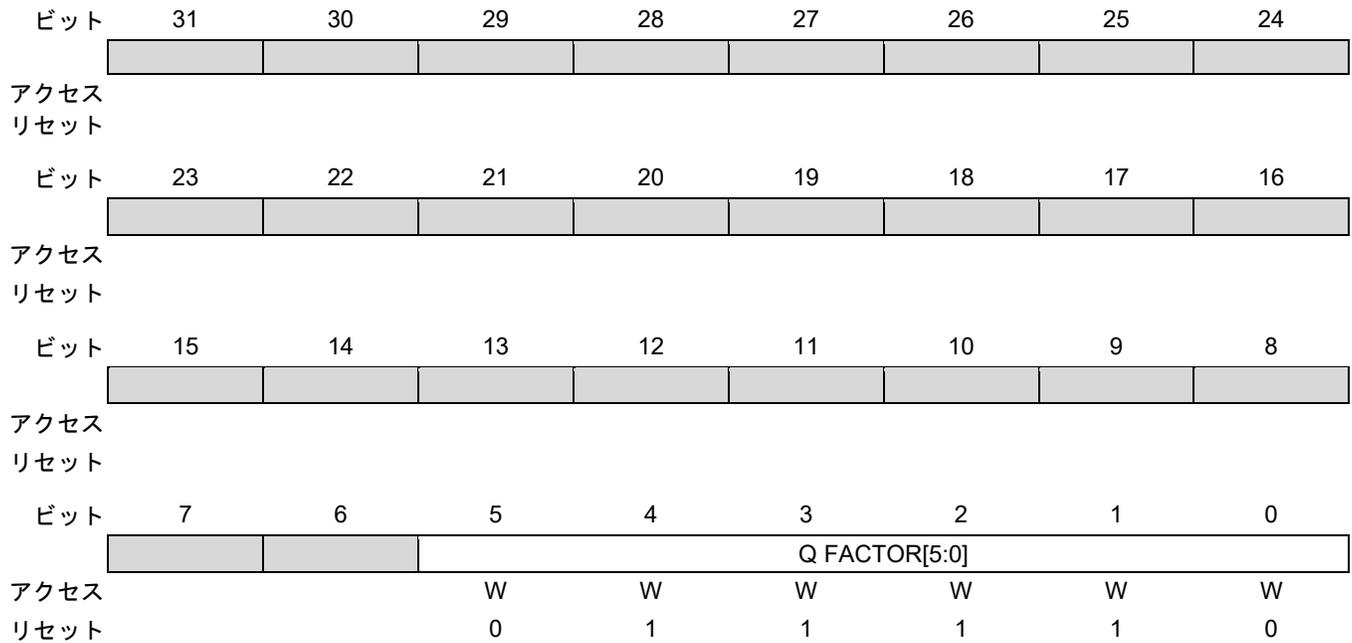


Bits 1:0 - H.264 ENCODER IP TYPE[1:0] H.264エンコーダIPの現在のタイプを示します。00 - 2KのIフレームサポート、01 - 2KのIフレームおよびPフレームサポート、10 - 4KのIフレームサポート、11 - 4KのIフレームおよびPフレームサポートです。

## 5.4. Qファクタ (質問する)

名称: Q Factor  
 オフセット: 0x00C  
 リセット: 0x1e  
 プロパティ: 書き込み専用

### Quality Factor

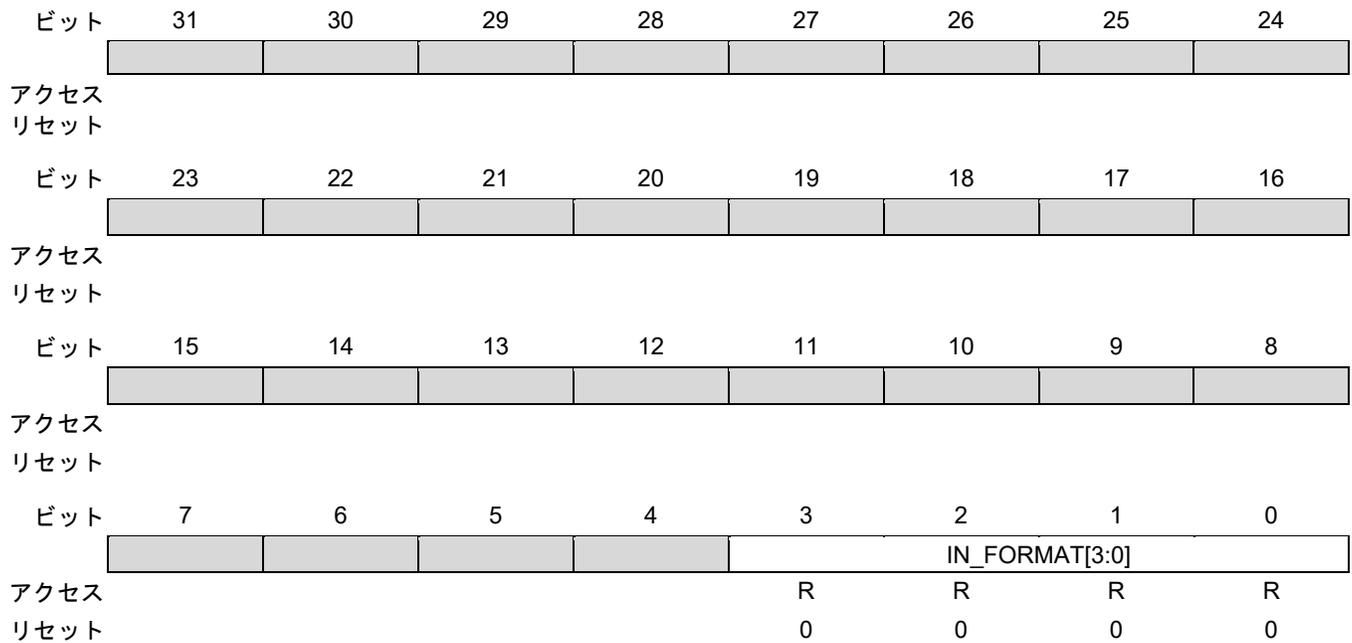


Bits 5:0 - Q FACTOR[5:0] H.264 IPの量子化の品質係数を示します。値のレンジは0~51です。値0は最高品質かつ最低圧縮率を表します。値51は最高圧縮率を表します。

## 5.5. IN\_Format [\(質問する\)](#)

名称: IN\_Format  
 オフセット: 0x010  
 リセット: 0x0  
 プロパティ: 読み出し専用

入力フォーマット



Bit 3:0 - IN\_FORMAT[3:0] YUV420入力フォーマットです。

## 5.6. P\_Frame\_COUNT [\(質問する\)](#)

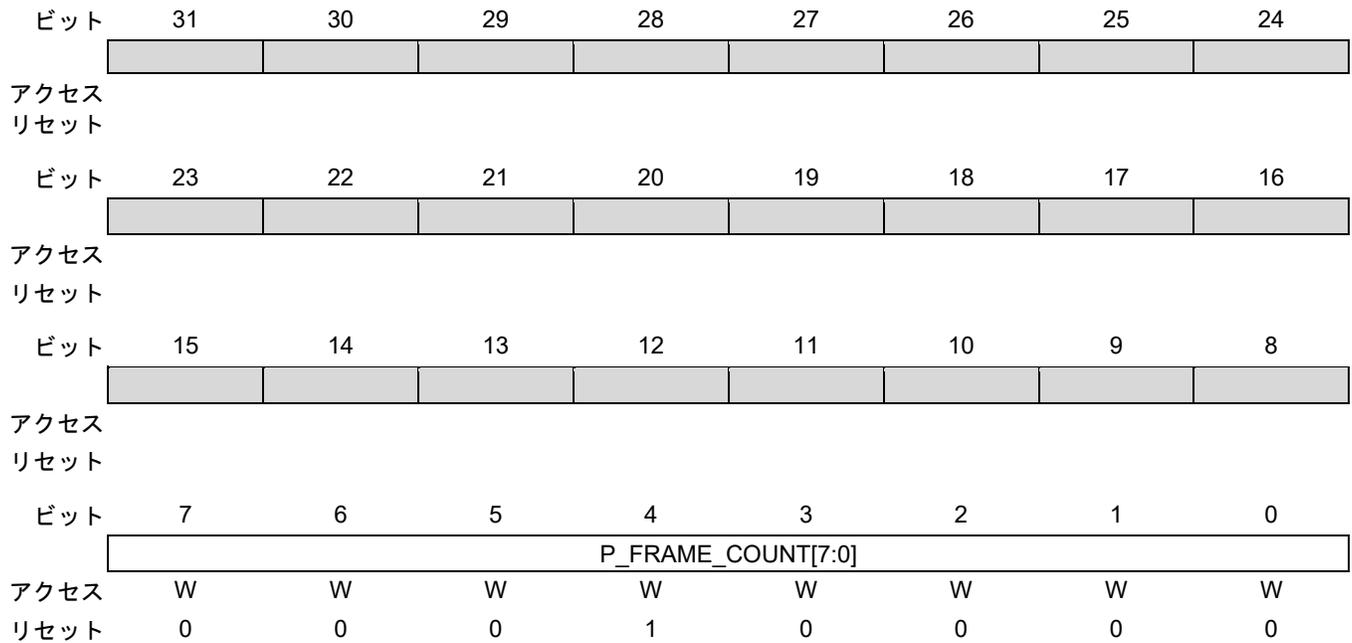
名称: P\_Frame\_COUNT

オフセット: 0x014

リセット: 0x10

プロパティ: 書き込み専用

各Iフレーム構成のPフレームの数です。



Bit 7:0 - P\_FRAME\_COUNT[7:0] レンジ: 0~255。既定値の16は各Iフレームに16のPフレームが存在する事を示します。

## 5.7. Input\_Horizontal\_Resolution [\(質問する\)](#)

名称: Input\_Horizontal\_Resolution

オフセット: 0x018

リセット: 0x780

プロパティ: 書き込み専用

H.264エンコーダIPに入力される画像の水平解像度です。

ビット	31	30	29	28	27	26	25	24
	[REDACTED]							
アクセス								
リセット								
ビット	23	22	21	20	19	18	17	16
	[REDACTED]							
アクセス								
リセット								
ビット	15	14	13	12	11	10	9	8
	INPUT_HORIZONTAL_RESOLUTION[15:8]							
アクセス	W	W	W	W	W	W	W	W
リセット	0	0	0	0	0	1	1	1
ビット	7	6	5	4	3	2	1	0
	INPUT_HORIZONTAL_RESOLUTION[7:0]							
アクセス	W	W	W	W	W	W	W	W
リセット	1	0	0	0	0	0	0	0

Bit 15:0 - INPUT\_HORIZONTAL\_RESOLUTION[15:0] H.264エンコーダIPに入力される画像の水平解像度です。4Kが無効の場合、この値は16の倍数とし、入力データの有効値は正確な水平解像度より高くなければなりません。そうでないと、IPは予期しない出力を生成します。4Kが有効の場合、この値は64の倍数にする必要があります。それ以外の値を設定した場合、IPはLSBビットを無視し、64の倍数である可能な最大解像度を使って出力を生成します。

## 5.8. Input\_Vertical\_Resolution (質問する)

名称: Input\_Vertical\_Resolution

オフセット: 0x01C

リセット: 0x430

プロパティ: 書き込み専用

H.264エンコーダIPに入力される画像の垂直解像度です。

ビット	31	30	29	28	27	26	25	24
	[RENDERING]							
アクセス								
リセット								
ビット	23	22	21	20	19	18	17	16
	[RENDERING]							
アクセス								
リセット								
ビット	15	14	13	12	11	10	9	8
	INPUT_VERTICAL_RESOLUTION[15:8]							
アクセス	W	W	W	W	W	W	W	W
リセット	0	0	0	0	0	1	0	0
ビット	7	6	5	4	3	2	1	0
	INPUT_VERTICAL_RESOLUTION[7:0]							
アクセス	W	W	W	W	W	W	W	W
リセット	0	0	1	1	0	0	0	0

Bit 15:0 - INPUT\_VERTICAL\_RESOLUTION[15:0] H.264エンコーダIPに入力される画像の垂直解像度です。4Kが無効の場合、この値は16の倍数にし、入力データの有効な立ち下がりエッジの数を垂直解像度と同じにする必要があります。そうでないと、IPは予期しない出力を生成します。4Kが有効の場合、この値は16の倍数にする必要があります。それ以外の値を設定した場合、IPはLSBビットを無視し、16の倍数である可能な最大解像度を使って出力を生成します。

## 5.9. スキップしきい値 (質問する)

名称: Skip Threshold  
 オフセット: 0x020  
 リセット: 0x200  
 プロパティ: 書き込み専用

Pフレームでスキップブロックを生成するためのマクロブロックの誤差しきい値です。

ビット	31	30	29	28	27	26	25	24
	[Reserved]							
アクセス								
リセット								
ビット	23	22	21	20	19	18	17	16
	[Reserved]							
アクセス								
リセット								
ビット	15	14	13	12	11	10	9	8
	SKIP THRESHOLD[15:8]							
アクセス	W	W	W	W	W	W	W	W
リセット	0	0	0	0	0	0	1	0
ビット	7	6	5	4	3	2	1	0
	SKIP THRESHOLD[7:0]							
アクセス	W	W	W	W	W	W	W	W
リセット	0	0	0	0	0	0	0	0

Bit 15:0 - SKIP THRESHOLD[15:0] スキップブロック決定のしきい値です。この値はスキップの決定に使われる16 x 16マクロブロックのSAD値を表します。レンジは0~1024で、標準値は512です。しきい値が高いほどスキップブロックが多くなり、圧縮率が高くなって品質が低下します。

## 5.10. Iフレーム強制 (質問する)

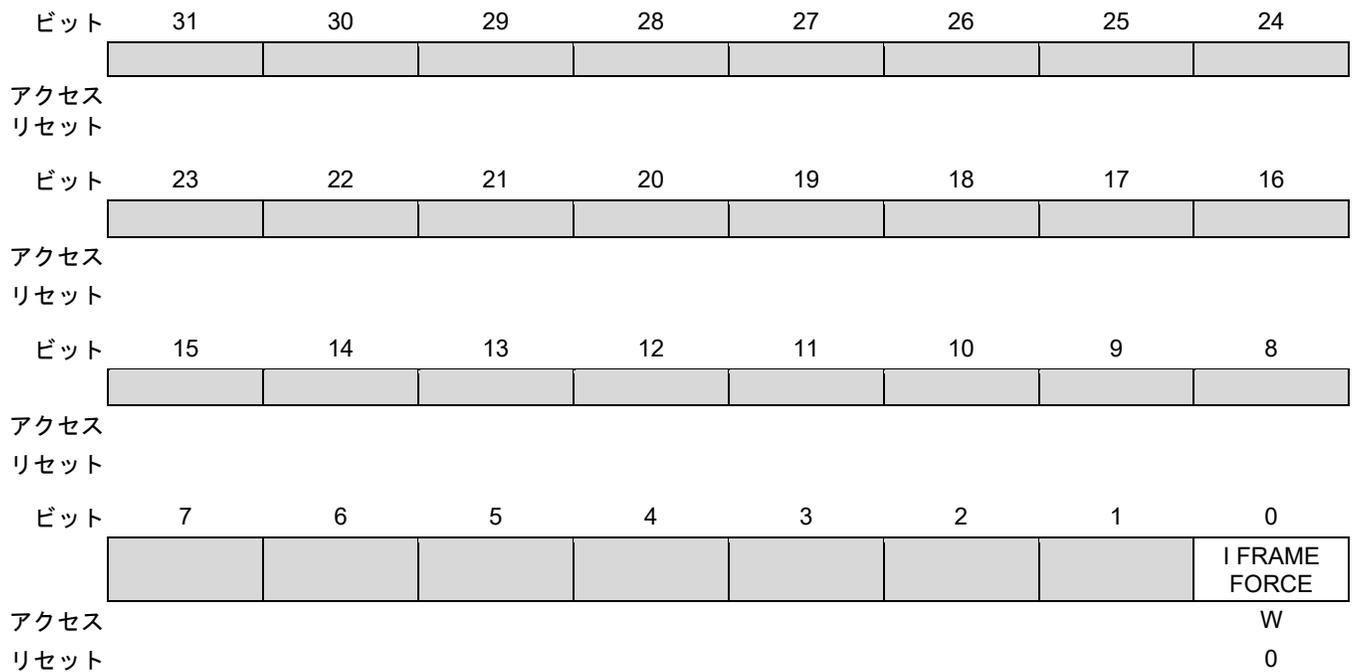
名称: I Frame Force

オフセット: 0x024

リセット: 0x0

プロパティ: 書き込み専用

現在のフレームを強制的にIフレームにします。



Bit 0 - I FRAME FORCE このビットに1を書くと、現在のフレームのエンコードが強制的にIフレームになります。

## 5.11. ラインギャップ (質問する)

名称: Line Gap  
 オフセット: 0x028  
 リセット: 0x2000  
 プロパティ: 書き込み専用

DDRメモリに格納されたフレームの隣接する2本のライン間のラインギャップ、すなわちアドレス オフセットです。

ビット	31	30	29	28	27	26	25	24
	[Grayed out bits]							
アクセス								
リセット								
ビット	23	22	21	20	19	18	17	16
	[Grayed out bits]							
アクセス								
リセット								
ビット	15	14	13	12	11	10	9	8
	LINE GAP[15:8]							
アクセス	W	W	W	W	W	W	W	W
リセット	0	0	1	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	LINE GAP[7:0]							
アクセス	W	W	W	W	W	W	W	W
リセット	0	0	0	0	0	0	0	0

Bit 15:0 - LINE GAP[15:0] DDRメモリに格納された画像のライン間のラインギャップです。4Kが有効の場合、IPはこれを使ってDDRメモリから入力画像を読み出します。

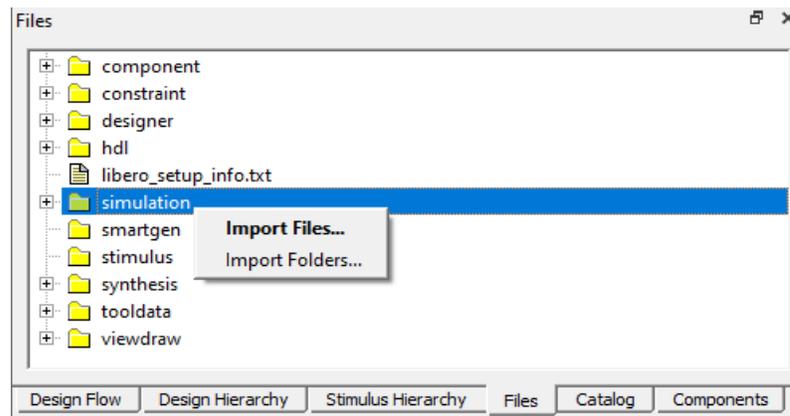
## 6. テストベンチ シミュレーション (質問する)

H.264エンコーダIPコアの機能をチェックして頂くために、テストベンチが提供されています。シミュレーションでは、入力としてYCbCr422フォーマットの224 x 224または512 x 240の画像(Y、Cの2つのファイルとして表現)を使い、2つのフレームを含むH.264ファイルフォーマットを生成します。

テストベンチを使ってコアをシミュレートするには、以下の手順を実行します。

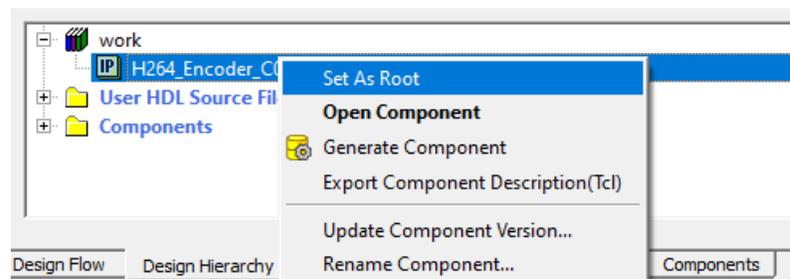
1. Libero® SoCカタログを開き、[View] > [Windows] > [IP Catalog]を選択し、[Solutions]から[Video]を展開します。[H264\_Encoder]をダブルクリックし、必要に応じて設定し、[OK]をクリックします。SmartDesignキャンバスにH264\_Encoder IPが表示されます。
2. [Files]タブから[Simulation] > [Import Files]を選択します。
3. 以下からH264\_Input.datファイルとH264\_refOut.txtファイルをインポートします。  
パス: ..\<プロジェクト名>\component\Microchip\SolutionCore\H264\_Encoder\<IPバージョン>\Stimulus\<IPタイプ>
4. 別のファイルをインポートするには、必要なファイルがあるフォルダを参照し、[Open]をクリックします。下図に示す通り、インポートしたファイルは[simulation]の配下に表示されます。

図6-1. インポートしたファイル



5. [Design Hierarchy]タブで[H264\_Encoder\_C0]を右クリックし、[Set As Root]を選択します。

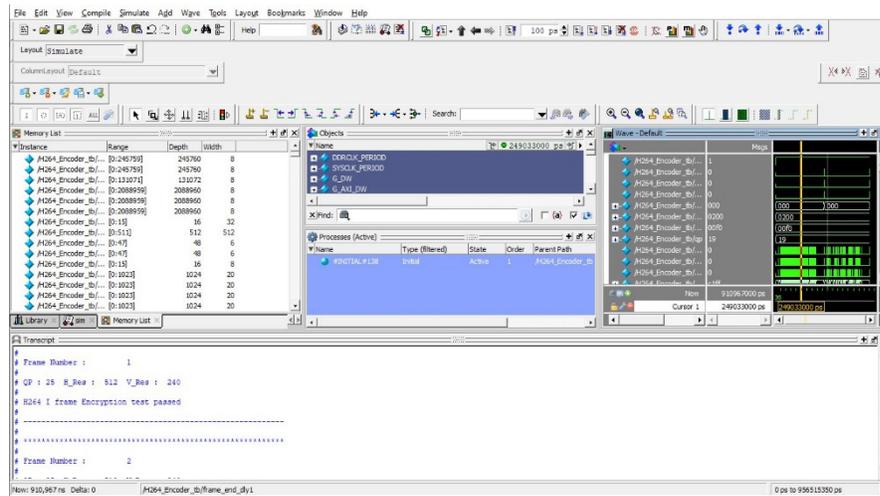
図6-2. ルートに設定



6. [Stimulus Hierarchy]タブでH264\_Encoder\_tb (H264\_Encoder\_tb. v)テストベンチ ファイルを右クリックし、[Simulate Pre-Synth Design] > [Open Interactively]をクリックします。IPが2フレーム分シミュレートされます。

下図のように、QuestaSimツールが開いてテストベンチが表示されます。

図6-3. QuestaSimのシミュレーション ウィンドウ



**➔ Important:** シミュレーションが.doファイルで指定された実行時間制限によって中断された場合、run -allコマンドを使ってシミュレーションを完了させてください。

## 7. システム統合 (質問する)

本セクションでは、H.264 IPのシームレスな統合に役立つガイダンスを提供します。

### 7.1. フルHDまでの解像度に対するシステム統合 (質問する)

本セクションではフルHD解像度までのIフレームのみをサポートする場合とIフレームとPフレームをサポートする場合のシステム統合について説明します。

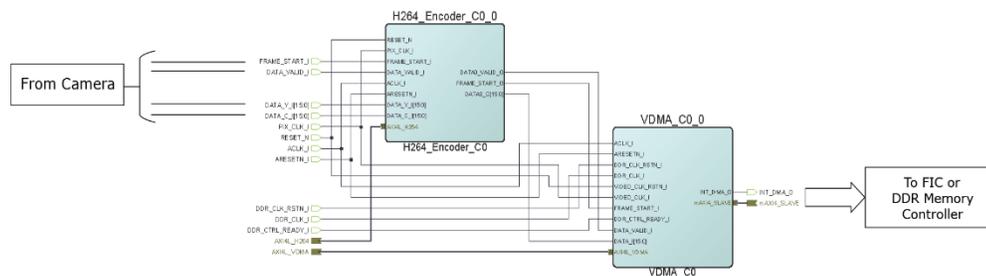
#### Iフレームのみをサポートする場合

下図は、フルHD解像度までのIフレームのみをサポートする場合のH.264 IPの統合サポートを示しています。

このデザイン例には以下のコンポーネントが設計の一部として含まれます。

- H.264 IPはIフレームのみをサポートするように構成されます(4k - 無効、スライス数 - 1、P\_Frames - 無効)。
- H.264エンコーダIPのFRAME\_START\_I、DATA\_VALID\_I、DATA\_Y\_I、DATA\_C\_I信号はYUV 422ビデオソース (カメラ)に接続されます。これらの信号はH.264エンコーダIPのPIX\_CLK\_Iで生成されます。
- H.264 IPとVDMA IPを構成するには、AXI4 LiteインターフェイスをMSS FICまたはAXI4マスタに接続する必要があります。
- H.264エンコーダIPの出力、DATA0\_VALID\_O、DATA0\_OはVDMA IPに接続されます。
- MSSに接続されたDDRメモリにエンコード済みデータをDMA転送するため、VDMA IP AXI4マスタはMSS FICスレーブに接続されます。MSS上で動作するLinux<sup>®</sup>はストリーミングのためにエンコード済みのデータにアクセスします。

図7-1. Iフレームのみをサポートする場合



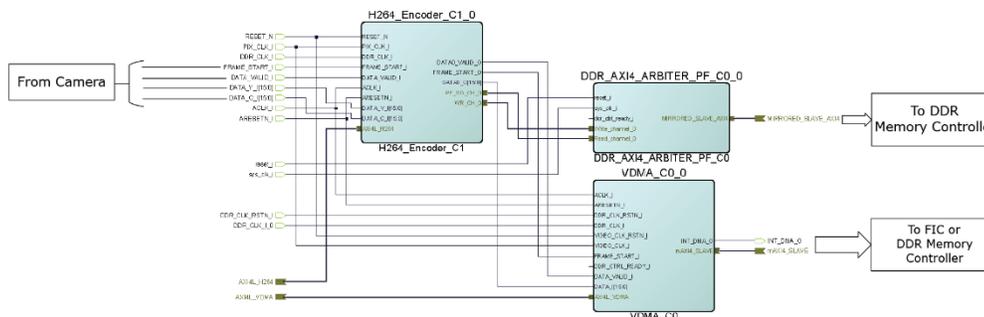
#### IフレームとPフレームをサポートする場合

フルHD解像度までのIフレームとPフレームをサポートする場合のH.264 IPの統合サポートを示しています。

このデザイン例には以下のコンポーネントが設計の一部として含まれます。

- H.264 IPはIフレームとPフレームをサポートするように構成されます(4k - 無効、スライス数 - 1、P\_Frames - 有効)。
- H.264エンコーダIPのFRAME\_START\_I、DATA\_VALID\_I、DATA\_Y\_I、DATA\_C\_I信号はYUV 422ビデオソース (カメラ)に接続されます。これらの信号はH.264エンコーダIPのPIX\_CLK\_Iで生成されます。
- H.264 IPとVDMA IPを構成するには、AXI4 LiteインターフェイスをMSS FICまたはAXI4マスタに接続する必要があります。
- フレームバッファ(DDRメモリ)からデコードされたフレームを読み書きするため、WR\_CH\_0およびPF\_RD\_CH\_0アービタバス インターフェイスはDDR\_AXI4\_ARBITER\_PF\_C0に接続されます。
- H.264エンコーダIP出力、DATA0\_VALID\_O、DATA0\_OはVDMA IPに接続されます。
- MSSに接続されたDDRメモリにエンコード済みデータを書き込むため、VDMA IP AXI4マスタはMSS FICスレーブに接続されます。MSS上で動作するLinuxはストリーミングのためにエンコード済みデータにアクセスします。

図7-2. IフレームとPフレームをサポートする場合



## 7.2. 4Kまでの解像度に対するシステム統合 [\(質問する\)](#)

本セクションでは4K解像度までのIフレームのみをサポートする場合とIフレームとPフレームをサポートする場合のシステム統合について説明します。

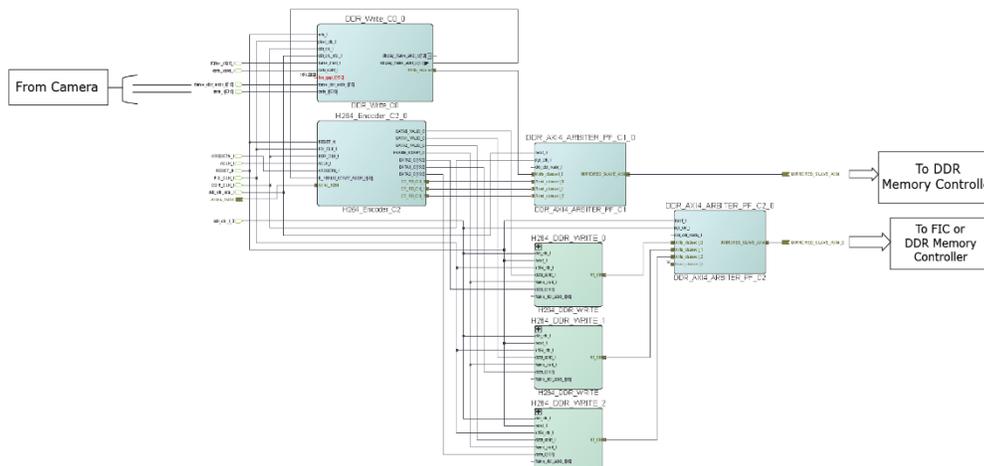
### Iフレームのみをサポートする場合

下図は、4K解像度までのIフレームのみをサポートする場合のH.264 IPの統合サポートを示しています。

このデザイン例には以下のコンポーネントが設計の一部として含まれます。

- H.264 IPはIフレームのみをサポートするよう構成されます(4K - 有効、スライス数 - 3、P\_Frames - 無効)
- ソースフレームをフレームバッファ(DDRメモリ)に書き込むため、DDR Write IPはYUV 422ビデオソース(カメラ)とDDR\_AXI4\_ARBITER\_PF\_C1に接続されます。
- ビデオソース フレームを読み出すため、H.264エンコーダIP CF\_RD\_CH\_xアービタバス インターフェイスはDDR\_AXI4\_ARBITER\_PF\_C1に接続されます。
- 60 fpsのフレームレートを実現するには、H.264エンコーダIP PIX\_CLK\_Iは175 MHzのクロック源から駆動する必要があります。
- H.264を構成するには、AXI4 LiteインターフェイスをMSS FICまたはAXI4マスタに接続する必要があります。
- H.264エンコーダIP出力、DATAx\_VALID\_O、DATAx\_OはH264\_DDR\_WRITE AXI4マスタのRTLロジックに接続されます。
- H264\_DDR\_WRITE RTLロジックの3つのインスタンスは、各スライスのエンコード済みデータをパックし、DDR\_AXI4\_ARBITER\_PF\_C2およびMSS FICスレーブを介してMSSに接続されたDDRメモリに書き込むために使われます。MSS上で動作するLinuxはストリーミングのためにエンコード済みのデータにスライスごとにアクセスします。

図7-3. Iフレームのみをサポートする場合



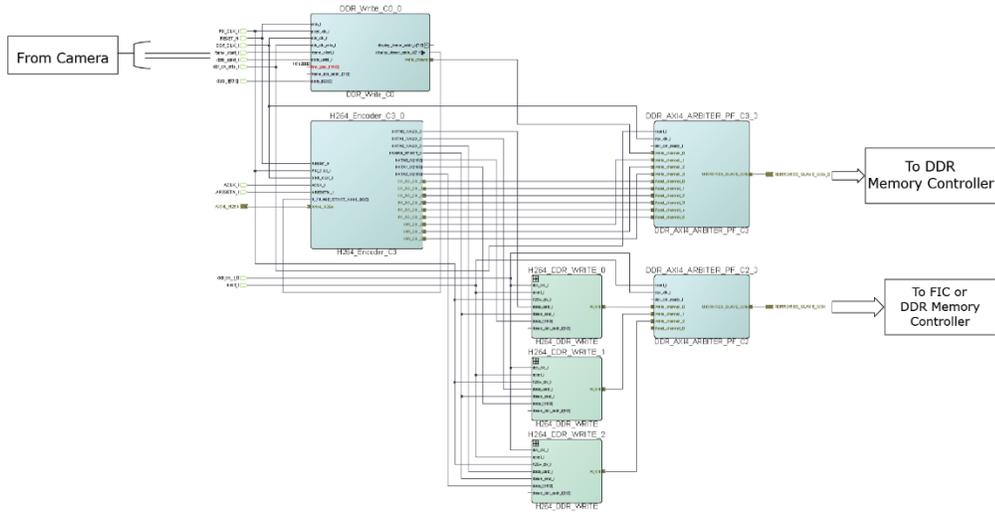
### IフレームとPフレームをサポートする場合

下図は、4K解像度までのIフレームとPフレームをサポートする場合のH.264 IPの統合サポートを示しています。

このデザイン例には以下のコンポーネントが設計の一部として含まれます。

- H.264 IPはIフレームとPフレームをサポートするように構成されます(4K - 有効、スライス数 - 3、P\_Frames - 有効)。
- ソースフレームをフレームバッファ(DDRメモリ)に書き込むため、DDR Write IPはYUV 422ビデオソース(カメラ)とDDR\_AXI4\_ARBITER\_PF\_C3に接続されます。
- ビデオソース フレームを読み出すため、H.264エンコーダIP CF\_RD\_CH\_xアービタバス インターフェイスはDDR\_AXI4\_ARBITER\_PF\_C3に接続されます。
- 60 fpsのフレームレートを実現するには、H.264エンコーダIP PIX\_CLK\_Iは175 MHzのクロック源から駆動する必要があります。
- H.264を構成するには、AXI4 LiteインターフェイスをMSS FICまたはAXI4マスタに接続する必要があります。
- フレームバッファ(DDRメモリ)からデコードされたフレームを読み書きするため、WR\_CH\_xおよびPF\_RD\_CH\_xアービタバス インターフェイスはDDR\_AXI4\_ARBITER\_PF\_C3に接続されます。
- H.264エンコーダIP出力、DATAx\_VALID\_O、DATAx\_OはH264\_DDR\_WRITE AXI4マスタのRTLロジックに接続されます。
- H264\_DDR\_WRITE RTLロジックの3つのインスタンスは、各スライスのエンコード済みデータをパックし、DDR\_AXI4\_ARBITER\_PF\_C2およびMSS FICスレーブを介してMSSに接続されたDDRメモリに書き込むために使われます。MSS上で動作するLinuxはストリーミングのためにエンコード済みのデータにスライスごとにアクセスします。

図7-4. IフレームとPフレームをサポートする場合



## 8. 改訂履歴 (質問する)

改訂履歴では、文書に加えられた変更について記載します。変更点は発行日付が新しい順にリビジョンごとに記載されています。

表8-1. 改訂履歴

リビジョン	日付	説明
B	07/2024	リビジョンBでの改訂内容: <ul style="list-style-type: none"> <li>「H.264 4K Iフレーム エンコーダ」を「H.264エンコーダ」に更新しました。</li> <li>「はじめに」セクションを更新しました。</li> <li>「リソース利用率」セクションの表2を更新し、表3と表4を追加しました。</li> <li>「1. H.264エンコーダIPコンフィグレータ」セクションを更新しました。</li> <li>「2. ハードウェアの実装」セクションの図2-6を更新し、図2-1～図2-4を追加しました。</li> <li>16 x 16マトリックス フレーム、8 x 8マトリックス フレーム、4 x 4マトリックス フレームのセクションを削除しました。</li> <li>「2.1.4.動きの予測と補償」、「2.1.8. DDR書き込みチャンネルおよび読み出しチャンネル」、「4.クロック制約」セクションを追加しました。</li> <li>「3.1.コンフィグレーション パラメータ」セクションの表3-1を更新しました。</li> <li>「3.2.入出力」セクションの表3-2の読み出しチャンネルポートを更新し、書き込みチャンネルポートを追加しました。</li> <li>「6.テストベンチ シミュレーション」セクションを更新しました。</li> <li>「7.システム統合」セクションを追加しました。</li> </ul>
A	2023年01月	初版です。

## Microchip社のFPGAサポート

Microchip社FPGA製品部門では、カスタマサービス、カスタマ技術サポートセンター、ウェブサイト、世界各地の営業所等、各種のサポートサービスで製品をバックアップしています。サポートにお問い合わせ頂く前に、ぜひMicrochip社のオンライン リソースをご覧ください。既にご質問の答えが掲載されている可能性があります。

技術サポートセンターへはウェブページ([www.microchip.com/support](http://www.microchip.com/support))からお問い合わせ頂けます。技術サポートケースを作成する際は、FPGAデバイスの製品番号を明記し、適切なケースカテゴリを選択し、デザインファイルをアップロードしてください。

製品の価格、製品のアップグレード、更新情報、注文状況、認証等、技術的でない製品のサポートについてはカスタマサービスにお問い合わせください。

- 北米のお客様は**800.262.1060**にお電話ください。
- その他の地域のお客様は**650.318.4460**にお電話ください。
- FAX番号は世界共通で**650.318.8044**です。

## Microchip社の情報

### Microchip社ウェブサイト

Microchip社はウェブサイト([www.microchip.com](http://www.microchip.com))を通してオンライン サポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを提供しています。以下を含む各種の情報をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計リソース、ユーザーガイドとハードウェア サポート文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** - FAQ(よく寄せられる質問)、技術サポートのご依頼、オンライン ディスカッション グループ、Microchip社のデザイン パートナー プログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクトと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/正規代理店)の一覧

### 製品変更通知サービス

Microchip社の製品変更通知サービスは、お客様にMicrochip社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、リビジョン、エラッタ情報をいち早くメールにてお知らせします。

<http://www.microchip.com/pcn>にアクセスし、登録手続きをしてください。

### お客様サポート

Microchip社製品をお使いのお客様は、以下のチャンネルからサポートをご利用頂けます。

- 正規代理店
- 技術サポート

サポートは正規代理店にお問い合わせください。本書の最後のページに各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用頂けます。 [www.microchip.com/support](http://www.microchip.com/support)

## Microchip社のデバイスコード保護機能

Microchip社製品のコード保護機能について以下の点にご注意ください。

- Microchip社製品は、該当するMicrochip社データシートに記載の仕様を満たしています。
- Microchip社では、通常の条件ならびに動作仕様書の仕様に従って使った場合、Microchip社製品のセキュリティレベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- Microchip社はその知的財産権を重視し、積極的に保護しています。Microchip社製品のコード保護機能の侵害は固く禁じられており、デジタルミレニアム著作権法に違反します。
- Microchip社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip社が製品を「解読不能」として保証するものではありません。コード保護機能は常に進化しています。Microchip社では、常に製品のコード保護機能の改善に取り組んでいます。

## 法律上の注意点

本書および本書に記載されている情報は、Microchip社製品を設計、テスト、お客様のアプリケーションと統合する目的を含め、Microchip社製品に対してのみ使う事ができます。それ以外の方法でこの情報を使う事はこれらの条項に違反します。デバイスアプリケーションの情報は、ユーザーの便宜のためにのみ提供されるものであり、更新によって変更となる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。その他のサポートはMicrochip社正規代理店にお問い合わせ頂くか、<https://www.microchip.com/en-us/support/design-help/client-support-services>をご覧ください。

Microchip社は本書の情報を「現状のまま」で提供しています。Microchip社は明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、非侵害性、商品性、特定目的への適合性の暗黙的保証、または状態、品質、性能に関する保証をはじめとするいかなる類の表明も保証も行いません。

いかなる場合もMicrochip社は、本情報またはその使用に関連する間接的、特殊的、懲罰的、偶発的または必然的損失、損害、費用、経費のいかににかかわらず、またMicrochip社がそのような損害が生じる可能性について報告を受けていた場合あるいは損害が予測可能であった場合でも、一切の責任を負いません。法律で認められる最大限の範囲を適用しようとも、本情報またはその使用に関連する一切の申し立てに対するMicrochip社の責任限度額は、使用者が当該情報に関連してMicrochip社に直接支払った額を超えません。

Microchip社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途にMicrochip社の製品を使う事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip社は擁護され、免責され、損害をうけない事に同意するものとします。特に明記しない場合、暗黙的あるいは明示的を問わず、Microchip社が知的財産権を保有しているライセンスは一切譲渡されません。

## 商標

Microchip社の名称とロゴ、Microchipロゴ、AdapteC、AVR、AVRロゴ、AVR Freaks、BesTime、BitCloud、CryptoMemory、CryptoRF、dsPIC、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemiロゴ、MOST、MOSTロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SSTロゴ、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGAは米国とその他の国におけるMicrochip Technology Incorporatedの登録商標です。

AgileSwitch、ClockWorks、The Embedded Control Solutions Company、EtherSynch、Flashtec、Hyper Speed Control、HyperLight Load、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plusロゴ、Quiet-Wire、SmartFusion、SyncWorld、TimeCesium、TimeHub、TimePictra、TimeProvider、ZLは米国におけるMicrochip Technology Incorporatedの登録商標で

す。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、Clockstudio、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、EyeOpen、GridTime、IdealBridge、IGaT、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、IntelliMOS、Inter-Chip Connectivity、JitterBlocker、Knob-on-Display、MarginLink、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、mSiC、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、Power MOS IV、Power MOS 7、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SmartHLS、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、Trusted Time、TSHARC、Turing、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENAは米国およびその他の国におけるMicrochip Technology Incorporatedの商標です。

SQTPは米国におけるMicrochip Technology Incorporatedのサービスマークです。

Adaptec ロゴ、Frequency on Demand、Silicon Storage Technology、Symmcomはその他の国におけるMicrochip Technology Incorporatedの登録商標です。

GestICは、その他の国におけるMicrochip Technology Germany II GmbH & Co. KG (Microchip Technology Incorporatedの子会社)の登録商標です。

その他の商標は各社に帰属します。

© 2025, Microchip Technology Incorporated and its subsidiaries.

All Rights Reserved.

ISBN: 979-8-3371-0992-3

## 品質管理システム

Microchip社の品質管理システムについては[www.microchip.com/quality](http://www.microchip.com/quality)をご覧ください。

## 各国の営業所とサービス

南北アメリカ	アジア/太平洋	アジア/太平洋	欧州
<b>本社</b> 2355 West Chandler Blvd. Chandler, AZ 85224-6199 Tel: 480-792-7200 Fax: 480-792-7277 技術サポート: <a href="http://www.microchip.com/support">www.microchip.com/support</a> URL: <a href="http://www.microchip.com">www.microchip.com</a>	<b>オーストラリア - シドニー</b> Tel: 61-2-9868-6733 <b>中国 - 北京</b> Tel: 86-10 -8569-7000 <b>中国 - 成都</b> Tel: 86-28-8665-5511 <b>中国 - 重慶</b> Tel: 86-23-8980-9588 <b>中国 - 東莞</b> Tel: 86-769-8702-9880 <b>中国 - 広州</b> Tel: 86-20-8755-8029 <b>中国 - 杭州</b> Tel: 86-571-8792-8115 <b>中国 - 香港SAR</b> Tel: 852-2943-5100 <b>中国 - 南京</b> Tel: 86-25-8473-2460 <b>中国 - 青島</b> Tel: 86-532-8502-7355 <b>中国 - 上海</b> Tel: 86-21-3326-8000 <b>中国 - 瀋陽</b> Tel: 86-24-2334-2829 <b>中国 - 深圳</b> Tel: 86-755-8864-2200 <b>中国 - 蘇州</b> Tel: 86-186-6233-1526 <b>中国 - 武漢</b> Tel: 86-27-5980-5300 <b>中国 - 西安</b> Tel: 86-29-8833-7252 <b>中国 - 廈門</b> Tel: 86-592-2388138 <b>中国 - 珠海</b> Tel: 86-756-3210040	<b>インド - バンガロール</b> Tel: 91-80-3090-4444 <b>インド - ニューデリー</b> Tel: 91-11-4160-8631 <b>インド - プネ</b> Tel: 91-20-4121-0141 <b>日本 - 大阪</b> Tel: 81-6-6152-7160 <b>日本 - 東京</b> Tel: 81-3-6880-3770 <b>韓国 - 大邱</b> Tel: 82-53-744-4301 <b>韓国 - ソウル</b> Tel: 82-2-554-7200 <b>マレーシア - クアラルンプール</b> Tel: 60-3-7651-7906 <b>マレーシア - ペナン</b> Tel: 60-4-227-8870 <b>フィリピン - マニラ</b> Tel: 63-2-634-9065 <b>シンガポール</b> Tel: 65-6334-8870 <b>台湾 - 新竹</b> Tel: 886-3-577-8366 <b>台湾 - 高雄</b> Tel: 886-7-213-7830 <b>台湾 - 台北</b> Tel: 886-2-2508-8600 <b>タイ - バンコク</b> Tel: 66-2-694-1351 <b>ベトナム - ホーチミン</b> Tel: 84-28-5448-2100	<b>オーストリア - ヴェルス</b> Tel: 43-7242-2244-39 Fax: 43-7242-2244-393 <b>デンマーク - コペンハーゲン</b> Tel: 45-4485-5910 Fax: 45-4485-2829 <b>フィンランド - エスポー</b> Tel: 358-9-4520-820 <b>フランス - パリ</b> Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79 <b>ドイツ - ガーヒンク</b> Tel: 49-8931-9700 <b>ドイツ - ハーン</b> Tel: 49-2129-3766400 <b>ドイツ - ハイブルン</b> Tel: 49-7131-72400 <b>ドイツ - カールスルーエ</b> Tel: 49-721-625370 <b>ドイツ - ミュンヘン</b> Tel: 49-89-627-144-0 Fax: 49-89-627-144-44 <b>ドイツ - ローゼンハイム</b> Tel: 49-8031-354-560 <b>イスラエル - ホドハシャロン</b> Tel: 972-9-775-5100 <b>イタリア - ミラノ</b> Tel: 39-0331-742611 Fax: 39-0331-466781 <b>イタリア - パドヴァ</b> Tel: 39-049-7625286 <b>オランダ - ドリュエネン</b> Tel: 31-416-690399 Fax: 31-416-690340 <b>ノルウェー - トロンハイム</b> Tel: 47-7288-4388 <b>ポーランド - ワルシャワ</b> Tel: 48-22-3325737 <b>ルーマニア - ブカレスト</b> Tel: 40-21-407-87-50 <b>スペイン - マドリッド</b> Tel: 34-91-708-08-90 Fax: 34-91-708-08-91 <b>スウェーデン - ヨーテボリ</b> Tel: 46-31-704-60-40 <b>スウェーデン - ストックホルム</b> Tel: 46-8-5090-4654 <b>イギリス - ウォーキンガム</b> Tel: 44-118-921-5800 Fax: 44-118-921-5820