

## 電源をデザインしない人に読んでほしい電源の話② 気にしたことありますか？LDO の出力変動

鈴木 孝宗 (Microchip 社 シニア FAE)

### はじめに

供給電源が大きな電圧変動や電源ノイズを持っていると負荷でさまざまな問題が発生することがあります。LDO を使用すれば変動する供給電圧から安定したノイズの少ない出力電圧を作ることができます。しかし LDO を使用していればすべての問題が解決するとは限りません。LDO を使用する場合、LDO の特性をよく理解し、どのような問題が発生する可能性があるかを理解しておく必要があります。

### LDO の出力は常に安定しているのか

LDO の出力電圧は制御トランジスタをリニア領域で制御して一定の出力電圧を作っています。このためトランジスタのオンオフ制御を行っているスイッチング電源のように出力電圧が変動するリップル電圧は発生せず、きれいな直流電圧が出力されます。しかし、動作条件によっては LDO が安定した出力電圧を維持できない場合があります。

### 負荷電流が高速に変化したときの LDO の挙動

LDO は図 1 に示すような内部構造になっています。入力と出力の間にはトランジスタがあり、このトランジスタで入力電圧をドロップさせて一定の出力電圧を得ます。出力電圧は分圧抵抗を介してエラーアンプに入力され内部基準電圧と比較されます。基準電圧より低いか高いかによりエラーアンプの出力が変化しトランジスタでの電圧ドロップ量が調整され出力電圧が一定に制御されます。動作の直観的イメージとしては、図 2 のようにトランジスタを可変抵抗器  $R$  と考えます。出力電圧  $V_{out}$  は  $V_{out} = V_{in} - R \times I_{out}$  となります。負荷電流  $I_{out}$  に応じて  $R$  を調整して出力電圧  $V_o$  を一定に制御します。一定の負荷電流  $I_{out}$  が流れている状態から電流が増加すると電圧ドロップ量が増加して出力電圧が低下します。

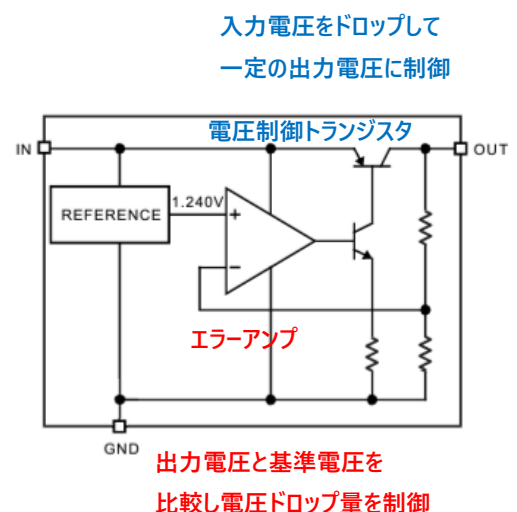


図 1 LDO の内部構造

エラーアンプがこの電圧低下を検出すると R を低下させて電圧を上昇させます。エラーアンプの応答速度がはやいと電圧変動量も減少しますが使用されている Op Amp の応答速度にも限界があります。応答遅延による電圧変動量を減少させているのが出力コンデンサです。負荷電流の急変時には出力コンデンサへの電荷の充放電でカバーすることにより電圧変化量を軽減することができます。

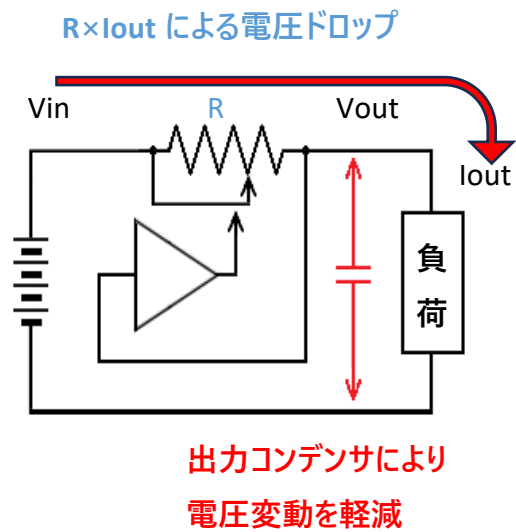
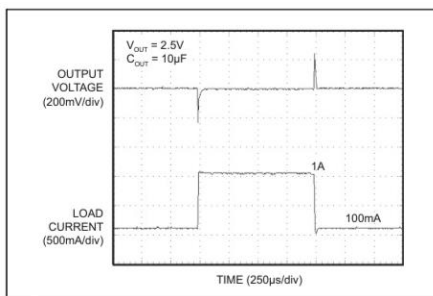


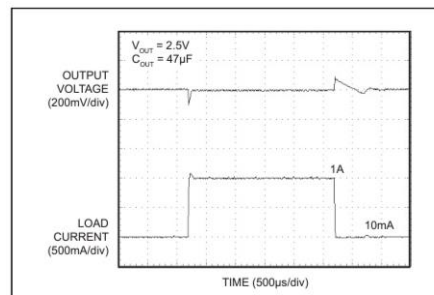
図 2 LDO の動作イメージ

Cout = 10 $\mu$ F



Load Transient Response.

Cout = 47 $\mu$ F



Load Transient Response.

図 3 LDO の負荷過渡応答特性

図 3 は高速負荷変動に対する出力電圧の応答を測定したものです。図 13 左は出力コンデンサ Cout = 10 $\mu$ F で  $\pm 230$  mV 変動してしまっていますが、図 3 右は Cout = 47 $\mu$ F となっており容量を増加させることにより  $\pm 110$  mV の変動に抑えられています。

負荷電流が急激に増加して出力電圧が降下した時、LDO は供給電流を増加させて負荷への供給と出力コンデンサへの充電を行い設定電圧まで回復させます。また負荷電流が急激に減少した時、過剰となった供給電流により出力コンデンサが充電され出力電圧は上昇します。設定電圧より上昇しているため LDO は供給電流を 0 まで絞ります。しかし実は LDO には出力コンデンサの電荷を放電して電圧を低下させる機能は持っていません。図 13 左では出力電圧がすぐに低下して設定電圧に復帰していますが、これは LDO が電圧を低下させているのではなく、負荷電流の変化が 1A から 100 mA への減少なので、この 100 mA の負荷電流により電荷を放電して電圧が低下しているのです。他方で図 3 右では 1A から 10 mA へ

の減少であり、放電電流が 10 mA と少ないので放電に時間がかかり、電圧の低下がゆるやかになっています。出力電圧の低下は負荷電流による電荷放電でしか行われないので、負荷電流が 0 mA レベルまで減少すると上昇した電圧が長時間下がらないままになってしまうことがあります。このように LDO は負荷電流の増加には応答追従できますが電流が大幅に減少した時には制御ができない事があるので、過電圧状態の発生に注意する必要があります。

このように負荷電流が高速に増減すると出力電圧にはアンダーシュートやオーバーシュートが発生しますが、電圧変動の大きさは LDO の動作速度と出力コンデンサの容量に影響されます。LDO の出力にモータやソレノイドなどの高速負荷変動が発生する負荷を接続する場合やマイコンのクロックを高速稼働状態から低速の低消費状態に移行するなどして大幅な負荷電流の変化が発生する場合、電源電圧の変化量が要求される電圧精度内にはいっているかを確認し、必要に応じて高速動作する LDO への変更や出力容量の増加などの対策を行います。

### 入力電圧が急激に変動したときの LDO の挙動

LDO は入力電圧を制御トランジスタでドロップさせて出力電圧を作っています。5V から 2.5V を作っているときは 2.5V 電圧をドロップさせています。入力電圧が急激に変動するとどうなるでしょうか。図 4 は入力電圧が 2V 変動したときの出力電圧を測定したものです。入力電圧が 5V から 7V へ 2V 増加した時、LDO の制御系はドロップ量を 2.5V から 4.5V に増加させます。また、入力電圧がもとの 5V に戻った後は、ドロップ量を 2.5V に減少させます。この制御遅延の間に出力電圧に変動が発生します。出力電圧の変動量は入力電圧の変化速度、負荷電流の大きさ、出力コンデンサの容量に依存します。

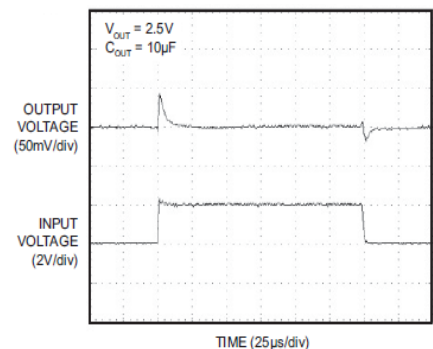


図 4 LDO の入力電圧変動応答

入力電圧変動に対する LDO の制御性能を示す特性に PSRR があります。PSRR は Power Supply Rejection Ratio の略称で、供給される電源電圧の変動をどれだけ除去できるかという能力です。除去比は入力電圧の変化速度、つまり周波数により変わるので、図 5 の例のように周波数 vs 除去比のグラフとなっています。基本的には周波数が上昇するほどエラーアンプのゲインが低下するので除去比も低下してしまいます。このため、高速動作する LDO かどうかを高周波領域での PSRR 特性で判断することができます。ただし、高周波領域で直線的に除去率が上昇している特性を示している場合、LDO が高速応答しているのではないことがあります。LDO としては応答動作できなくなっているのですが、高周波領域で出力コンデンサのインピーダンス低下によ

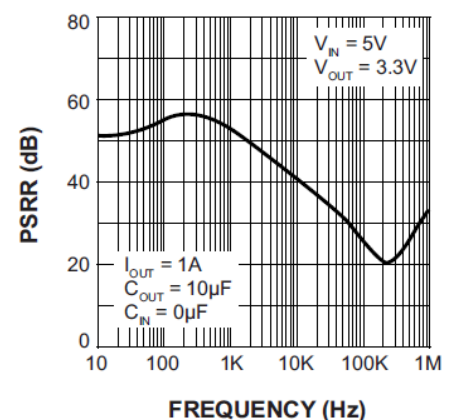


図 5 一般的な LDO の PSRR 特性

り平滑能力が向上して、単なるローパスフィルタとなり入力変動をフィルタして出力に伝達していないだけと  
いうことがあります。図 5 の PSRR 特性を見ると 200 Hz では 56 dB と高い除去率となっていますが 200 kHz では 20 dB しかありません。昔はトランス式の AC アダプタが主流で入力の電圧変動周波数は 50 Hz や 60 Hz の交流を全波整流した 100 Hz か 120 Hz の電圧変動だったのでこの周波数での特性が重視されました。しかし現在のスイッチング方式の電源では数 10 kHz から数 MHz の周波数でスイッチングしているためにリップルの周波数成分も非常に高くなっています。1 MHz 帯のノイズ除去に対応するために図 6 のように高速エラーアンプを使用して 10 MHz 帯まで PSRR 特性が改善されている LDO もあります。ノイズの発生している周波数を確認し、使用する LDO の PSRR 特性がその周波数で十分な除去能力があるか確認する必要があります。

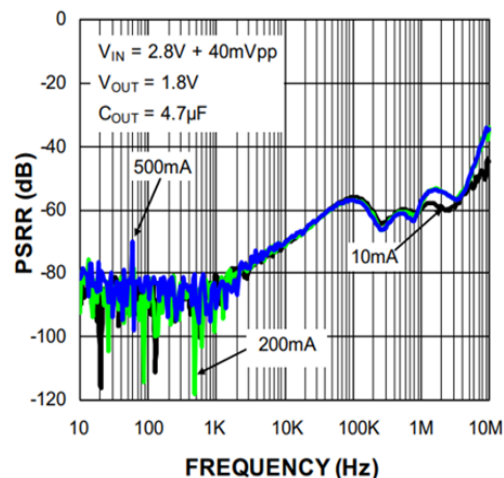


図 6 高速 LDO の PSRR 特性

#### 入出力間の電位差が小さいときの LDO の挙動

LDO は入力電圧をドロップさせて出力電圧を作っていますが、出力電圧を維持する動作を行うために、ある程度の入出力間の電位差が必要です。この必要な入出力間の最低電圧差をドロップアウト電圧と言います。図 7 はドロップアウト電圧が 0.4V の LDO の例です。出力電圧が 3.3V の場合、入力電圧は最低でも 3.7V の電圧が必要ということになります。

制御トランジスタがバイポーラトランジスタの場合と MOSFET の場合があります。バイポーラトランジスタではベース電流を多く流してトランジスタを飽和領域で使用すれば  $V_{ce}$  は 0.2V 程度まで低下します。多くの場合、制御トランジスタはダーリントン接続により  $H_{fe}$  を稼いでいるので、2 個分の 0.4V がドロップアウト電圧となっていることが多くあります。これに対して制御トランジスタに MOSFET を使用している場合、入出力間電位差 LDO の入出力間は MOSFET のオン抵抗値による抵抗状態となっているために、電圧低下は電流  $I_{out} \times$  オン抵抗となります。電位差は最大供給電流時に最大となり、この電圧がドロップアウト電圧となります。大きな FET (= オン抵抗が小さい) を使用するといくらでもドロップアウトの小さな LDO を作ることができます。例えば 1 A の LDO でオン抵抗が  $0.5\Omega$  の FET では 0.5V のドロップアウトとなりますが、 $50\text{ m}\Omega$  の FET を使用すると 50 mV のドロップアウトの LDO を作ることができます。

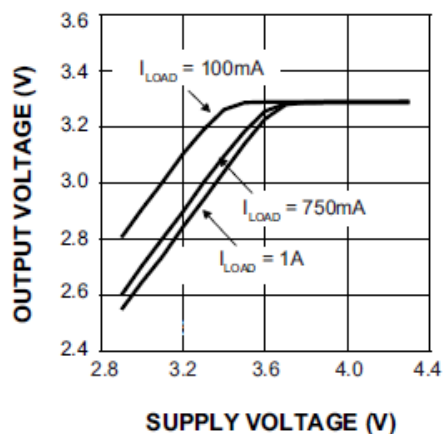


図 7 LDO のドロップアウトの例

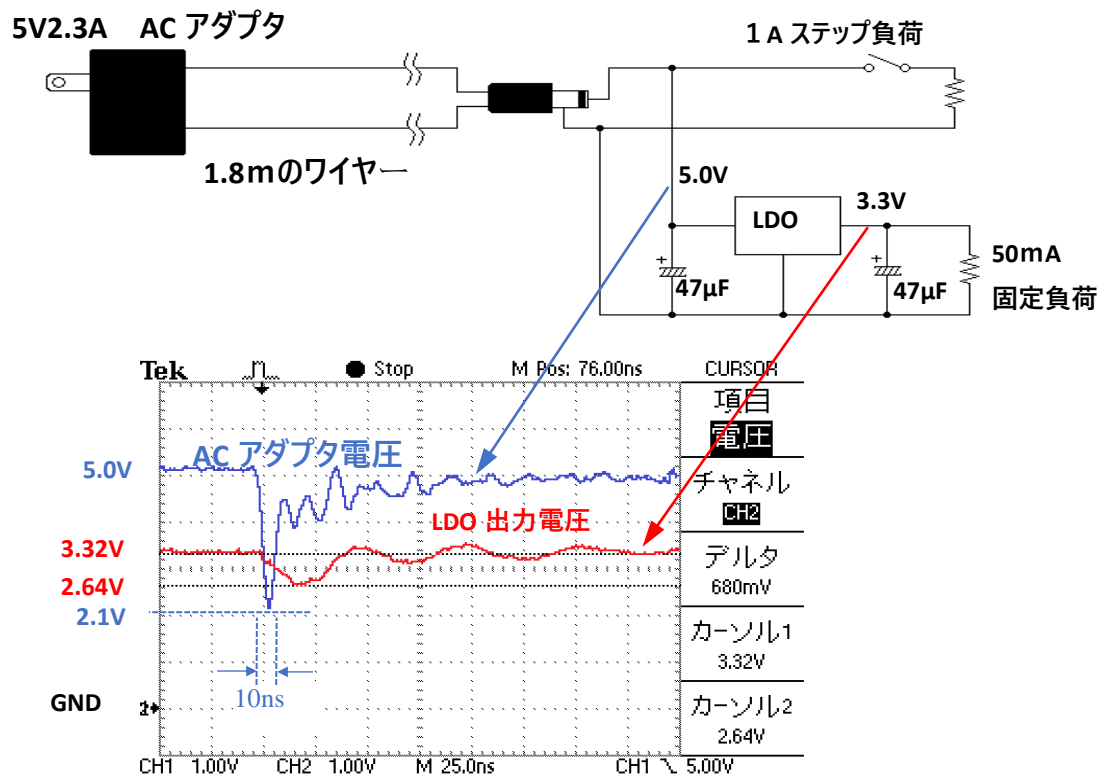


図 8 ACアダプタに LDO を使用した時の過渡応答特性

### ドロップアウト電圧ギリギリの状態でも LDO は正常に動作するのか

LDO では入出力間電位差×負荷電流の損失が発生します。そのため電位差が少ない程エネルギー効率の高い電源とすることができますが、LDO に期待する能力を発揮させるにはどこまで入出力間電位差を小さくできるでしょうか。LDO は入力電圧が、出力電圧 + ドロップアウト電圧、まで低下しても出力電圧を維持することができます。しかしこれは変動のない直流電圧を印加した場合の話で、今回の目的である入力電圧が変動しても一定の出力電圧を維持したい場合には適用できません。入力電圧が低下した場合、出力電圧を維持できるように入出力間の電圧を低下させる必要がありますが、ドロップアウト電圧状態ではこれ以上電圧を下げることはできません。入力電圧が上昇した場合、入出力間の電圧を上昇させる必要がありますが、制御トランジスタをドロップアウト電圧の状態にしているという事は、バイポーラトランジスタのベースに電流を大量に流して飽和領域で動作させているか、MOSFET ゲートに必要以上の高電圧を印加してフルオン状態で動作させていることとなります。入出力間の電圧を上昇させるためのベース電流の大幅な減少制御やゲート電圧の大幅な低下には、制御に時間がかかるために高速に応答することはできなくなります。入出力間電位差がドロップアウト電圧に近づくほど負荷変動に対する応答特性や PSRR 特性は低下してゆきますので最低でもドロップアウト電圧 + 0.5V 程度の電位差は確保して設計されていることが一般的です。

## 入力電圧が瞬間低下した時の出力電圧はどうなるのか

[前回](#)、5V の電圧が瞬時 1V まで低下したスイッチング電源（AC アダプタ）がありました。このような電源に LDO を追加して安定した 3.3V を作る事が出来るでしょうか。

4V の電圧低下が発生していたのは 1.8m という長い電線の持つインダクタンス成分によるものが主な要因となります。

この電源ラインに図 8 のように 3.3V 出力の LDO を追加すると、LDO の入力コンデンサにより AC アダプタの電圧のアンダーシュートが若干減少し電圧の最低値は 2.1V までに軽減されていますが、ドロップアウト電圧どころか LDO の出力の 3.3V より低くなっています。この電圧低下は 10 ns ほどの時間で発生していますが、10 ns は 100 MHz の速度なのでこの電圧の変化速度は LDO が制御応答できる速度をはるかに超えています。LDO の出力は 2.64V まで低下しています。アンダーシュートの発生量は出力コンデンサに蓄積された電荷により入力電圧の変化よりかなり緩和されていますが後段の回路の誤動作の原因となる可能性があります。

モータ駆動などによるピーク電流負荷による供給電圧の低下が発生しても LDO の入力電圧は出力電圧 + ドロップアウト電圧以上の電圧が保持できるように十分な電位差を確保する工夫が必要となります。

## 10月号は 電源をデザインしない人に読んでほしい電源の話③

### [理想コンデンサが最良のコンデンサとは限らない？](#)

（電源シリーズの 8月号をまだ読んでいない方は、[こちら](#)をお読みください）

■Microchip 社の [リニア LDO レギュレータ IC](#)